

(11) Publication number: **2000184383 A**

(43) Date of publication of application: 30.06.00

(51) Int. Cl. **H04N 9/07**

(21) Application number: **10352441**

(71) Applicant: **FUJI PHOTO FILM CO LTD**

(22) Date of filing: 11.12.98

(72) Inventor: HAYASHI KENKICHI

(54) IMAGE SIGNAL PROCESSOR AND ELECTRONIC STILL CAMERA PROVIDED WITH THE UNIT

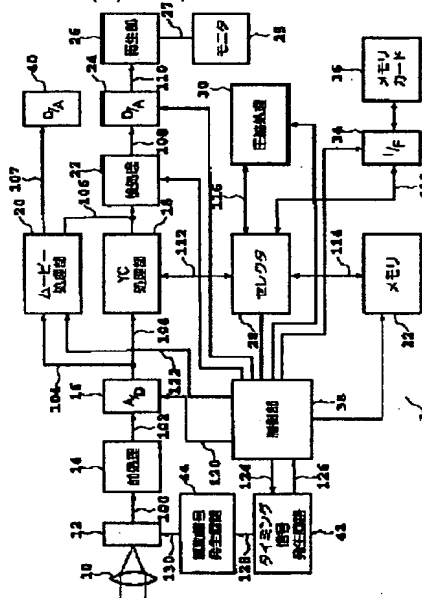
NTSC system and luminance signal data Y and color difference signal data R-Y, B-Y are obtained by applying YC conversion to the converted pixel data R, G, B in a movie processing section 20.

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an electronic still camera provided with an image signal processor by which a false signal based on a defect pixel of a solid-state image pickup element included in an object picture from the solid-state image pickup element with high resolution at image pickup is reduced and a video image of the picture is displayed on a monitor in real time.

SOLUTION: This still camera 1 applies interpolation processing to pixel data R, G, B from a CCD 12 to obtain pixel data R, G, B which are simultaneously processed for each pixel, and reduction processing is applied to a false signal based on a defective pixel of the CCD 12 included in the simultaneously processed pixel data R, G, B and also to the pixel signal obtained from the non-defective pixels of the CCD 12 to obtain pixel data R, G, B that are reduction-processed, which are interleaved to convert them into pixel data R, G, B with the number of pixels so as to be displayed on a monitor of the

COPYRIGHT: (C)2000,JPO



THIS PAGE BLANK (USPTO)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-184383

(P 2000-184383A)

(43)公開日 平成12年6月30日(2000.6.30)

(51) Int. Cl. ' H04N 9/07

識別記号

F I
H04N 9/07

テーマコード' (参考)

A 5C065

C

審査請求 未請求 請求項の数14 O L (全23頁)

(21)出願番号 特願平10-352441

(22)出願日 平成10年12月11日(1998.12.11)

(71)出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72) 発明者 林 健吉

埼玉県朝霞市泉水三丁目11番46号 富士写真フイルム株式会社内

(74) 代理人 100079991

弁理士 香取 孝雄

Fターム(参考) 5C065 AA03 BB02 BB03 BB12 BB23

CC02 CC03 DD02 EE05 EE06

FF03 FF11 GG13 GG18 GG21

GG22 GG23 GG30 GG31 GG44

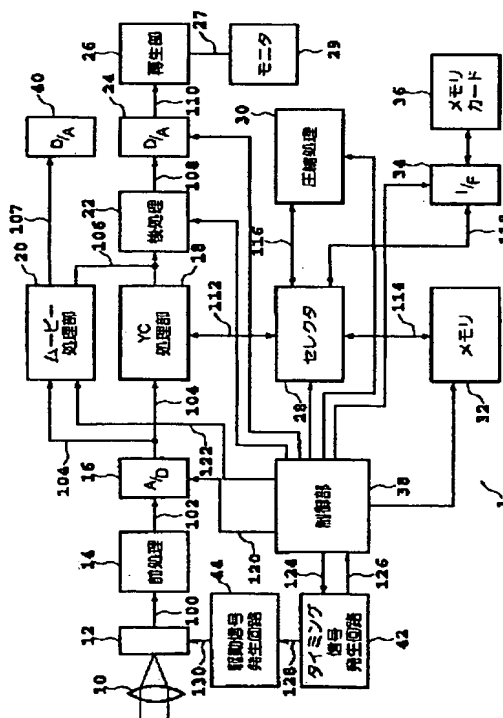
GG50

(54) 【発明の名称】 画像信号処理装置およびこの装置を備えた電子スチルカメラ

(57) 【要約】

【課題】 撮影時の高解像度の固体撮像素子からの被写体画像に含まれる固体撮像素子の欠陥画素に基づく偽信号を低減しかつその画像の映像を実時間でモニタに表示できる画像信号処理装置を備えた電子スチルカメラを提供。

【解決手段】 このスチルカメラ1は、CCD12からの画素データR、GおよびBに対し補間処理を行なって各画素ごとに同時化した画素データR、GおよびBを得、次に同時化した画素データR、GおよびBに含まれるCCD12の欠陥画素に基づく偽信号に対しても、またCCD12の欠陥画素でない画素信号に対しても低減処理を行なって低減処理した画素データR、GおよびBを得、次に低減処理した画素データR、GおよびBに対し間引を行なってNTSC方式のモニタ装置に表示し得るような画素数の画素データR、GおよびBに変換し、次に、変換した画素データR、GおよびBに対しYC変換を行なって輝度信号データYおよび色差信号データR-Y、B-Yを得るムービー処理部20を有する。



【特許請求の範囲】

【請求項1】 複数色の色フィルタを前面に有し、これら色フィルタに対応されたカラー画像情報を各画素から点順次に得るようにした固体撮像素子からなるカラー撮像手段により撮像されたカラー画像信号を得られた順にデジタル信号の形で受けて該信号の処理を行なう画像信号処理装置において、該装置は、前記得られた順に送られてくる画素に基づくデジタル信号の形のカラー画像データを受け、該受けたカラー画像データから画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを得る画素補間手段と、該画素補間手段から画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを受け、該受けた各色要素毎に各画素を中心としたその水平走査線上の前後に隣接する所定数の同色画素を含む連続したn画素領域についてメディアンフィルタ処理を行ない、該処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段とを有し、該メディアンフィルタ処理手段は、前記固体撮像素子に欠陥画素があるか否かにかかわらず全ての画素についてメディアンフィルタ処理を行なうことを特徴とする画像信号処理装置。

【請求項2】 複数色の色フィルタを前面に有し、これら色フィルタに対応されたカラー画像情報を各画素から点順次に得るようにした固体撮像素子からなるカラー撮像手段により撮像されたカラー画像信号を得られた順にデジタル信号の形で受けて該信号の処理を行なう画像信号処理装置において、該装置は、前記固体撮像素子の複数の画素のうち欠陥のある画素位置を示す位置データを記憶する記憶手段と、前記得られた順に送られてくる画素に基づくデジタル信号の形のカラー画像データを受け、該受けたカラー画像データから画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを得る画素補間手段と、前記記憶手段から読み出される位置データに基づいて、前記固体撮像素子の複数の画素のうち欠陥のない各画素に対応するタイミングの該画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについてはそのまま出力し、また前記固体撮像素子の複数の画素のうち欠陥のある各画素に対応するタイミングの該画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについては該欠陥のある各画素に対応する各色要素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてメディアンフィルタ処理を行ない、該処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段とを有し、該メディアンフィルタ処理手段は、前記固体撮像素子に欠陥画素がある場合には該欠陥画素に対応する色要素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてのみメディ

アンフィルタ処理を行なうことを特徴とする画像信号処理装置。

【請求項3】 請求項1または2に記載の画像信号処理装置において、前記固体撮像素子は、高解像度のCCDであることを特徴とする画像信号処理装置。

【請求項4】 複数色の色フィルタを前面に有し、これら色フィルタに対応されたカラー画像情報を各画素から点順次に得るようにした高解像度の固体撮像素子からなるカラー撮像手段により撮像されたカラー画像信号を得られた順にデジタル信号の形で受けて該信号の処理を行なう画像信号処理装置を備えた電子スチルカメラにおいて、

前記画像信号処理装置は、

前記得られた順に送られてくる画素に基づくデジタル信号の形のカラー画像データを受け、所定の画素補間制御信号に基づき該受けたカラー画像データから画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを得る画素補間手段と、

該画素補間手段から画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを受け、所定のメディアンフィルタ処理制御信号に基づき該受けた各色要素毎に各画素を中心としたその水平走査線上の前後に隣接する所定数の同色画素を含む連続したn画素領域についてメディアンフィルタ処理を行ない、該処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段と、

前記画素補間手段への画素補間制御信号を含む制御信号および該メディアンフィルタ処理手段へのメディアンフィルタ処理制御信号を含む制御信号を生成して出力する制御手段とを含み、

該制御手段は、前記メディアンフィルタ処理手段へのメディアンフィルタ処理制御信号により前記固体撮像素子に欠陥画素があるか否かにかかわらず全ての画素についてメディアンフィルタ処理を行なわせることを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項5】 請求項4に記載の画像信号処理装置を備えた電子スチルカメラにおいて、

前記画像信号処理装置はさらに、

前記メディアンフィルタ処理手段からメディアンフィルタ処理の行なわれた画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを受け、所定の間引き制御信号に基づき該メディアンフィルタ処理手段からの3原色信号データを間引いて低解像度の3原色信号データに変換する画素間引き手段を含み、

前記制御手段はさらに、該画素間引き手段への間引き制御信号を含む制御信号を生成して出力する間引き制御信号生成手段を含むことを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項6】 請求項5に記載の画像信号処理装置を備えた電子スチルカメラにおいて、

前記画像信号処理装置はさらに、
前記画素間引き手段からの低解像度の画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを実時間で出力する第1の出力端子を含み、
該画像信号処理装置を備えたカメラはさらに、
前記第1の出力端子からの低解像度の画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データの映像を表示する映像モニタの第1のビューファインダを有することを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項7】 請求項5に記載の画像信号処理装置を備えた電子スチルカメラにおいて、
前記画像信号処理装置はさらに、
前記画素間引き手段から低解像度の画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを受け、所定の交換制御信号に基づき該画素間引き手段からの画素毎の同時化した3原色信号データから画素毎の同時化した輝度信号データY、色差信号データR-Y および色差信号データB-Y を生成する色信号変換手段を含み、
前記制御手段はさらに、該色信号変換手段への交換制御信号を含む制御信号を生成して出力する交換制御信号生成手段を含むことを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項8】 請求項7に記載の画像信号処理装置を備えた電子スチルカメラにおいて、
前記画像信号処理装置はさらに、
前記色信号変換手段からの低解像度の画素毎に同時化した輝度信号データY、色差信号データR-Y および色差信号データB-Y を実時間で出力する第2の出力端子を含み、
該画像信号処理装置を備えたカメラはさらに、
前記第2の出力端子からの低解像度の画素毎に同時化した輝度信号データY、色差信号データR-Y および色差信号データB-Y の映像を表示する映像モニタの第2のビューファインダを有することを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項9】 複数色の色フィルタを前面に有し、これら色フィルタに対応されたカラー画像情報を各画素から点順次に得るようにした高解像度の固体撮像素子からなるカラー撮像素子により撮像されたカラー画像信号を得られた順にデジタル信号の形で受けて該信号の処理を行なう画像信号処理装置を備えた電子スチルカメラにおいて、

前記画像信号処理装置は、
前記固体撮像素子の複数の画素のうち欠陥のある画素位置を示す位置データを記憶する記憶手段と、
前記得られた順に送られてくる画素に基づくデジタル信号の形のカラー画像データを受け、所定の画素補間制御信号に基づき該受けたカラー画像データから画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データ

を得る画素補間手段と、

所定の読み出し制御信号に基づき前記記憶手段から読み出される位置データに基づく所定のメディアンフィルタ処理制御信号に基づき前記固体撮像素子の複数の画素のうち欠陥のない各画素に対応するタイミングの該画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについてはそのまま出力し、また前記固体撮像素子の複数の画素のうち欠陥のある各画素に対応するタイミングの該画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについては該欠陥のある各画素に対応する各色要素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてメディアンフィルタ処理を行ない、該処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段と、

前記記憶手段への読み出し制御信号を含む制御信号、前記画素補間手段への画素補間制御信号を含む制御信号、および該メディアンフィルタ処理手段へのメディアンフィルタ処理制御信号を含む制御信号を生成して出力する制御手段とを含み、

該制御手段は、前記メディアンフィルタ処理手段へのメディアンフィルタ処理制御信号により前記固体撮像素子に欠陥画素がある場合には該欠陥画素に対応する色要素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてのみメディアンフィルタ処理を行なうことを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項10】 請求項9に記載の画像信号処理装置を備えた電子スチルカメラにおいて、

前記画像信号処理装置はさらに、
前記メディアンフィルタ処理手段からメディアンフィルタ処理の行なわれた画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを受け、所定の間引き制御信号に基づき該メディアンフィルタ処理手段からの3原色信号データを間引いて低解像度の3原色信号データに変換する画素間引き手段を含み、
前記制御手段はさらに、該画素間引き手段への間引き制御信号を含む制御信号を生成して出力する間引き制御信号生成手段を含むことを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項11】 請求項10に記載の画像信号処理装置を備えた電子スチルカメラにおいて、

前記画像信号処理装置はさらに、
前記画素間引き手段からの低解像度の画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを実時間で出力する第1の出力端子を含み、
該画像信号処理装置を備えたカメラはさらに、
前記第1の出力端子からの低解像度の画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データの映像を表示する映像モニタの第1のビューファインダを有する

ことを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項12】 請求項10に記載の画像信号処理装置を備えた電子スチルカメラにおいて、前記画像信号処理装置はさらに、前記画素間引き手段から低解像度の画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを受け、所定の変換制御信号に基づき該画素間引き手段からの画素毎の同時化した3原色信号データから画素毎の同時化した輝度信号データY、色差信号データR-Y および色差信号データB-Y を生成する色信号変換手段を含み、前記制御手段はさらに、該色信号変換手段への変換制御信号を含む制御信号を生成して出力する変換制御信号生成手段を含むことを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項13】 請求項12に記載の画像信号処理装置を備えた電子スチルカメラにおいて、前記画像信号処理装置はさらに、前記色信号変換手段からの低解像度の画素毎に同時化した輝度信号データY、色差信号データR-Y および色差信号データB-Y を実時間で出力する第2の出力端子を含み、該画像信号処理装置を備えたカメラはさらに、前記第2の出力端子からの低解像度の画素毎に同時化した輝度信号データY、色差信号データR-Y および色差信号データB-Y の映像を表示する映像モニタの第2のビューファインダを有することを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【請求項14】 請求項4ないし13のいずれかに記載の画像信号処理装置を備えた電子スチルカメラにおいて、前記固体撮像素子は、高解像度のCCDであることを特徴とする画像信号処理装置を備えた電子スチルカメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像信号処理装置およびこの装置を備えた電子スチルカメラに係り、特にたとえば約130万画素のような多画素数からなる固体撮像素子を用いた高解像度の電子スチルカメラで撮影した高解像度の被写体画像の信号を受けてその映像をNTSCなどの標準テレビジョン方式の標準解像度のモニタにリアルタイムに再生する信号を得る系統内に適用して好適なこの撮影時に固体撮像素子の欠陥画素の影響で発生した偽信号を低減処理する画像信号処理装置およびこの装置を備えた電子スチルカメラに関するものである。

【0002】

【従来の技術】一般に、CCD(Charge Coupled Device)などの半導体で形成した固体撮像素子では、半導体の局所的な結晶欠陥などにより光りが入射していない状態で特異なレベルの信号を出力する欠陥画素を生じ、この欠陥

画素が画質を劣化させる原因となっていることが知られている。

【0003】この欠陥画素に起因する画質劣化をなくすために、一般的には、固体撮像素子の出力信号について、欠陥補正処理（偽信号の低減処理）が行なわれている。

【0004】従来、このような欠陥補正処理技術として、たとえば特開平4-235472号公報に開示されるものがある。これに開示される固体撮像素子の画素の欠陥にもとづくデータエラーの補正には、注目画素を中心とした $n \times n$ 画素領域内の全ての画素の信号値の中央値（メディアン）を求めて、これを注目画素の信号値とするメディアンフィルタ処理回路が用いられている。

【0005】

【発明が解決しようとする課題】しかしながら、前述のメディアンフィルタ処理回路による欠陥補正処理方法に関しては、複数の走査線（ライン）のデータを記憶する記憶回路を必要とするため、回路規模が大きくなるという問題、および複数のラインのデータについて処理を行なうため、処理に要する時間が長くなるという問題があった。

【0006】このため、前述のメディアンフィルタ処理回路による欠陥補正処理方法を、高解像度の電子スチルカメラで撮影した高解像度の被写体画像の映像をNTSCなどの標準テレビジョン方式の解像度のモニタにリアルタイムに再生する際に用いる画像信号処理装置に適用することは困難であった。

【0007】本発明はこのような従来技術の欠点を解消し、多画素数の固体撮像素子を用いた高解像度の電子スチルカメラで撮影した高解像度の被写体画像の信号を受けてその映像を標準解像度のモニタにリアルタイムに再生する信号を得る系統内に適用できるとともに、短い処理時間でかつ小さい回路規模にて偽信号を低減処理することのできる画像信号処理装置およびこの装置を備えた電子スチルカメラを提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は上述の課題を解決するために、複数色の色フィルタを前面に有し、これら色フィルタに対応されたカラー画像情報を各画素から点順次に得るようにした固体撮像素子からなるカラー撮像手段により撮像されたカラー画像信号を得られた順にデジタル信号の形で受けてこの信号の処理を行なう画像信号処理装置において、この装置は、上述の得られた順に送られてくる画素に基づくデジタル信号の形のカラー画像データを受け、受けたカラー画像データから画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを得る画素補間手段と、画素補間手段から画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを受け、受けた各色要素毎に各画素を中心としたその水平走査線上の前後に隣接する所定数の同色画素を含む

連続したn画素領域についてメディアンフィルタ処理を行ない、この処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段とを有し、このメディアンフィルタ処理手段は、固体撮像素子に欠陥画素があるか否かにかかわらず全ての画素についてメディアンフィルタ処理を行なうことを特徴とする。

【0009】また本発明は上述の課題を解決するために、上述の前提と同じ装置は、固体撮像素子の複数の画素のうち欠陥のある画素位置を示す位置データを記憶する記憶手段と、前提における得られた順に送られてくる画素に基づくデジタル信号の形のカラー画像データを受け、受けたカラー画像データから画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを得る画素補間手段と、記憶手段から読み出される位置データに基づいて、固体撮像素子の複数の画素のうち欠陥のない各画素に対応するタイミングの画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについてはそのまま出力し、また固体撮像素子の複数の画素のうち欠陥のある各画素に対応するタイミングの画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについては欠陥のある各画素に対応する各色要素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてメディアンフィルタ処理を行ない、この処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段とを有し、このメディアンフィルタ処理手段は、固体撮像素子に欠陥画素がある場合には欠陥画素に対応する色要素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてのみメディアンフィルタ処理を行なうことを特徴とする。

【0010】さらに本発明は上述の課題を解決するために、複数色の色フィルタを前面に有し、これら色フィルタに対応されたカラー画像情報を各画素から点順次に得るようにした高解像度の固体撮像素子からなるカラー撮像手段により撮像されたカラー画像信号を得られた順にデジタル信号の形で受けてこの信号の処理を行なう画像信号処理装置を備えた電子スチルカメラにおいて、画像信号処理装置は、上述の得られた順に送られてくる画素に基づくデジタル信号の形のカラー画像データを受け、所定の画素補間制御信号に基づき受けたカラー画像データから画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを得る画素補間手段と、画素補間手段から画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを受け、所定のメディアンフィルタ処理制御信号に基づき受けた各色要素毎に各画素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてメディアンフィルタ処理を行ない、この処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段と、画素補間手段への画素補間制御信号を含む制御信号およびメデ

ィアンフィルタ処理手段へのメディアンフィルタ処理制御信号を含む制御信号を生成して出力する制御手段とを含み、この制御手段は、メディアンフィルタ処理手段へのメディアンフィルタ処理制御信号により固体撮像素子に欠陥画素があるか否かにかかわらず全ての画素についてメディアンフィルタ処理を行なわせることを特徴とする。

【0011】さらにまた、本発明は上述の課題を解決するために、上述の前提と同じ画像信号処理装置を備えた電子スチルカメラにおいて、画像信号処理装置は、固体撮像素子の複数の画素のうち欠陥のある画素位置を示す位置データを記憶する記憶手段と、前提における得られた順に送られてくる画素に基づくデジタル信号の形のカラー画像データを受け、所定の画素補間制御信号に基づき受けたカラー画像データから画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを得る画素補間手段と、所定の読み出し制御信号に基づき記憶手段から読み出される位置データに基づく所定のメディアンフィルタ処理制御信号に基づき固体撮像素子の複数の画素のうち欠陥のない各画素に対応するタイミングの画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについてはそのまま出力し、また固体撮像素子の複数の画素のうち欠陥のある各画素に対応するタイミングの画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについては欠陥のある各画素に対応する各色要素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてメディアンフィルタ処理を行ない、この処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段と、記憶手段への読み出し制御信号を含む制御信号、画素補間手段への画素補間制御信号を含む制御信号、およびメディアンフィルタ処理手段へのメディアンフィルタ処理制御信号を含む制御信号を生成して出力する制御手段とを含み、この制御手段は、メディアンフィルタ処理手段へのメディアンフィルタ処理制御信号により固体撮像素子に欠陥画素がある場合には欠陥画素に対応する色要素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてのみメディアンフィルタ処理を行なうことを特徴とする。

【0012】本明細書において、用語「高解像度」とは、NTSCなどの標準テレビジョン方式を超える高い解像度を言う。

【0013】

【発明の実施の形態】次に添付図面を参照して本発明による画像信号処理装置およびこの装置を備えた電子スチルカメラの実施例について詳細に説明する。

【0014】図1には、本発明による画像信号処理装置の適用される電子スチルカメラの第1の実施例が示されている。同図において、電子スチルカメラ1は撮像レンズ10によって撮像して得た被写体画像の電気信号を可視

画像として再生部26にて再生するとともに、この電気信号が表す高解像度の画像データを圧縮してメモリカード36へ記憶する装置である。メモリカード36は電子スチルカメラ1本体に着脱可能に装着され、これから伝送されるデジタル画像データを記憶保持可能な状態にして蓄積し、また要求に応じて蓄積したデジタル画像データを出力することのできるカード状半導体記憶装置である。

【0015】カメラ1はとくに、そのムービー処理部20が被写体画像の電気信号を表す高解像度信号に含まれる撮像素子12の欠陥画素の影響で発生する偽信号の低減処理を行なうとともに、低減処理の行なわれた高解像度信号を間引いて低解像度信号への変換を行なうから、高解像度の被写体画像の映像を実時間で再生部26を介してモニタ装置29に表示することができる。

【0016】図1を参照すると、カメラ1は撮像レンズ10、撮像素子12、前処理回路14、アナログデジタル(A/D)変換器16、YC処理部18、ムービー処理部20、後処理回路22、デジタルアナログ(D/A)変換器24、40、再生部26、セレクト28、モニタ装置29、圧縮処理部30、メモリ32、インタフェース(I/F)34、制御部38、タイミング信号発生回路42および駆動信号発生回路44から構成されている。

【0017】撮像レンズ10は、被写体の光学像を撮像素子12の撮像面に結像する。

【0018】撮像素子12は、撮像レンズ10による結像を電気信号に変換して出力する固体撮像素子で、本実施例では高解像度カメラの場合、約130万画素(表示ドット数、横1280×縦1024ドット)のCCDを使用し、また標準解像度カメラの場合、約40万画素(表示ドット数、横640×縦512ドット)のCCDを使用している。

【0019】固体撮像素子の撮像セルアレイには色フィルタ(図示せず)が装着され、駆動信号発生回路44からの駆動信号130に応動して色変調された画素信号を点順次にて出力100に出力する。色フィルタの色セグメント配列は適宜のものが使用される。出力100は前処理回路14の入力に接続されている。

【0020】前処理回路14は、入力100に入力した画像信号を所定レベルまで増幅し、さらに増幅した画像信号にブラックレベル補正、ホワイトバランス補正、ガンマ補正などの処理を施す処理回路であり、処理した画像信号を出力102に出力する。出力102はアナログデジタル変換器16の入力に接続されている。

【0021】アナログデジタル変換器16は、入力102に現れたアナログ画像信号をデジタル値に変換する変換回路を有するとともに、デジタル値に変換した1フレーム分の高解像度のデジタル画像データが蓄積される少なくとも1フレーム分の容量を持つフレームメモリを有している。このフレームメモリに蓄積された画像データは、制御部38の制御120を受けて出力104に読み出

される。出力104はYC処理部18およびムービー処理部20の入力に接続されている。

【0022】YC処理部18は、本実施例では、入力104に現れた高解像度あるいは標準解像度のR、GおよびBの画像データを輝度信号データYおよび色差信号データR-Y、B-Yのデータ形式に変換する変換回路である。YC処理部18は、出力106と出力112の2つの出力を有している。YC処理部18は、変換した標準解像度の輝度信号データYおよび色差信号データR-Y、B-Yを出力106に出力する。またYC処理部18は、変換した標準解像度あるいは高解像度の輝度信号データYおよび色差信号データR-Y、B-Yをメモリカード36へ記憶するために出力112に出力する。出力106は後処理回路22の入力に接続され、また出力112はセレクト28の入力に接続されている。

【0023】後処理回路22は、入力106に入力した標準解像度の輝度信号データYに対して輪郭補正を、また標準解像度の色差信号データR-YおよびB-Yに対して色補正を行う補正回路であり、補正したそれぞれの画像信号を出力108に出力する。出力108はデジタルアナログ変換器24の入力に接続されている。

【0024】デジタルアナログ変換器24は、入力108に入力した画像信号をアナログ値にて表される画像信号に変換し、それを出力110に出力する。出力110は再生部26の入力に接続されている。

【0025】再生部26は、入力110に入力した画像信号を、本実施例では、たとえばNTSC方式の映像信号に変換する。再生部26は出力27を有し、これにはモニタ装置29が接続されている。モニタ装置29は、そのNTSC方式の映像信号を可視画像としてスクリーンに表示する画像表示装置である。

【0026】なお、モニタ装置がPALあるいはSECAM方式であれば、再生部26は、入力110に入力した画像信号をPALあるいはSECAM方式の映像信号に変換する変換回路でよい。モニタ装置29は、カメラ1のビューファインダとして機能し、再生部26との接続27は、有線または無線のいずれでもよく、また固定接続または着脱可能な接続のいずれでもよい。勿論、カメラ1は、この他に光学式のビューファインダを備えていてもよい。

【0027】図1を参照すると、セレクト28は、制御部38の制御を受けて画像データの伝送経路を制御して所望の回路に画像データを転送する制御回路である。セレクト28は、YC処理部18で所定のデータ形式に変換した画像データを接続線112を介して入力し、入力した画像データを接続線114を介してメモリ32に転送する。

【0028】メモリ32は、ビデオRAMなどにて構成されており、入力114に現れた高解像度の画像データを少なくとも1画面に相当する1フレーム分を蓄積するフレームメモリである。またメモリ32は、制御部38の制御を受けて蓄積した画像データを出力114に出力し、セレクト28を介してその出力116に接続された圧縮処理部30に転

送する。

【0029】圧縮処理部30は、制御部38の制御を受けて入力116に入力した標準解像度あるいは高解像度の画像データに対して2次元直交変換、正規化およびハフマン符号化などの圧縮処理を行う処理回路である。圧縮処理部30はまた、制御部38の制御を受けて圧縮した画像データをセレクタ28を介してその出力118に接続されたインタフェース34に出力する。インタフェース34は、入力118に現れた圧縮した画像データなどのデータおよび制御部38から供給される制御信号をメモリカード36に転送し、またメモリカード36から出力された圧縮した画像データなどのデータをセレクタ28に転送する。

【0030】図1を参照すると、制御部38は、タイミング信号発生回路42から接続線126を介して送られる各種タイミング信号に基づいて前述したそれぞれの機能部を制御および管理する制御信号を形成する第1の制御回路（図示せず）を有するとともに、この制御部38はとくに、ムービー処理部20を制御および管理する制御信号を形成する第2の制御回路（図示せず）も有している。

【0031】この第2の制御回路は、本実施例では、高解像度CCDからの被写体画像をたとえばNTSC方式のモニタ装置でモニタする場合にとくに、前述したアナログディジタル変換器16のフレームメモリに蓄積される高解像度の画像データを読み出す読み出し制御信号を生成するとともに、このフレームメモリからの読み出された画像データに対して画像処理を施すムービー処理部20を動作させるための制御信号も生成している。

【0032】制御部38はまた、図示しないリリースボタン回路からそのボタンの押下によるシャッターリリース信号を受けると、撮影を開始させるための起動信号を形成し、それを制御線124を介してタイミング信号発生回路42に送る。

【0033】タイミング信号発生回路42は、制御部38から起動信号124を受けると、起動信号124に同期した駆動信号発生回路44を動作させるための各種タイミング信号を形成し、それらを信号線128を介して駆動信号発生回路44に出力し、また起動信号124に同期した制御部38を動作させるための各種タイミング信号を形成し、それらを信号線126を介して制御部38に出力する同期信号発生回路である。これら各種タイミング信号は、タイミング信号発生回路42内の基準信号発振器（図示せず）から出力されるクロック信号に基づいて形成される。

【0034】駆動信号発生回路44は、入力128から入力する各種タイミング信号に基づいて撮像素子12用の各種駆動信号を形成する回路である。この回路で形成された各種駆動信号は信号線130を介して撮像素子12に送られる。

【0035】図2には、カメラ1のムービー処理部20の内部構成が示されている。

【0036】ムービー処理部20は、本実施例では、まず

入力104に現れた高解像度のCCDからの画素データR、GおよびBに対し補間処理を行なって各画素ごとに同時化した画素データR、GおよびBを得、次に同時化した画素データR、GおよびBに含まれるCCDの欠陥画素に基づく偽信号に対し低減処理を行なって低減処理した画素データR、GおよびBを得、次に低減処理した画素データR、GおよびBに対し間引を行なってNTSC方式のモニタ装置に表示し得るような画素数の画素データR、GおよびBに変換し、次に変換した画素データR、GおよびBを出力107に出力するか、あるいは変換した画素データR、GおよびBに対しYC変換を行なって輝度信号データYおよび色差信号データR-Y、B-Yを得て出力106に出力する画像処理回路である。

【0037】ムービー処理部20は、図2に示すように、セレクタ200、第1の乗算器210、第1の加算器220、第1のメディアンフィルタ処理回路230、第1のメモリ238、入力制御部240、出力制御部242、YC変換器244、第2の乗算器250、第2の加算器260、第2のメディアンフィルタ処理回路270および第2のメモリ278を備えている。

【0038】セレクタ200は、入力104に入力した画素データを、第1の乗算器210、第1の加算器220、第1のメディアンフィルタ処理回路230、第1のメモリ238、YC変換回路244からなる第1の変換ルートで変換するか、あるいは第2の乗算器250、第2の加算器260、第2のメディアンフィルタ処理回路270、第2のメモリ278、YC変換回路244からなる第2の変換ルートで変換するかを選択するスイッチである。この場合、選択信号は制御部38の第2の制御回路から供給される。

【0039】本実施例では、制御部38の第2の制御回路からの読み出し制御信号120に基づいてアナログディジタル変換器16内のフレームメモリに蓄積されている横1280×縦1024ドットの画素データを、横1280ドットはそのままに、また、縦1024ドットは1ラインおきに読み出してセレクタ200の入力104に入力している。なお、このフレームメモリから読み出す制御信号120は、モニタ装置の解像度に対応するものでよい。

【0040】セレクタ200は、第1の変換ルートを用いる場合、制御部38の第2の制御回路からの選択信号122を受けて、入力104に入力した画素データを出力300に出力し、また第2の変換ルートを用いる場合、入力104に入力した画素データを出力302に出力する。出力300は第1の乗算器210の入力に、また出力302は第2の乗算器250の入力にそれぞれ接続されている。

【0041】第1の乗算器210は、入力300から画素データR、GおよびBを入力し、入力した画素データR、GおよびBのそれぞれに所定の係数を掛け、その掛算の結果を得るもので、たとえばROMなどを用いた掛算回路であり、R乗算器212、G乗算器214およびB乗算器216から構成されている。

【0042】R乗算器212は、入力した画素データRに

所定の係数を掛け、その掛算の結果を出力304 に出力し、G乗算器214 は、入力した画素データGに所定の係数を掛け、その掛算の結果を出力306 に出力し、B乗算器216 は、入力した画素データBに所定の係数を掛け、その掛算の結果を出力308 に出力する。R乗算器212 の出力304 は第1の加算器220 のR加算器222 の入力に、G乗算器214 の出力306は第1の加算器220 のG加算器224 の入力に、B乗算器216 の出力308 は第1の加算器220 のB加算器226 の入力にそれぞれ接続されている。

【0043】R加算器222 は、入力304 からの所定のサンプル点の画素データRと前記所定のサンプル点とは別の所定のサンプル点の画素データRとを加算する回路であり、その加算の結果を出力310 に出力する。同様に、G加算器224 およびB加算器226 も、画素データGおよびBの加算結果を出力312 および314 に出力する。この場合のサンプル点の数はいくつでもよくシステムにより決定すればよい。

【0044】上述の説明からわかるように、R加算器222、G加算器224 およびB加算器226は、それぞれ画素の補間を行なっており、したがって、各々サンプル点におけるR、GおよびBの画素データを出力310、312 および314 に出力する。出力310 は第1のメディアンフィルタ処理回路230 のRメディアンフィルタ処理回路232 の対応する入力に、出力312 は第1のメディアンフィルタ処理回路230 のRメディアンフィルタ処理回路234 の対応する入力に、出力314 は第1のメディアンフィルタ処理回路230 のRメディアンフィルタ処理回路236 の対応する入力にそれぞれ接続されている。

【0045】第1の加算器220 にて補間されたR、G、Bの3系統の画素データは、次の第1のメディアンフィルタ処理回路230 において、CCD12 の画素の欠陥に基づく偽信号の低減処理が行なわれる。

【0046】メディアンフィルタ処理とは、図3(a)において、420 の画素（図中では斜線で示している）に注目したとき、画素420 を中心とした同一ライン上の左右のn画素領域内の全ての画素の信号値の中央値（メディアン）を求めて、それを画素420 の信号値とする処理であり、第1の実施例では、この処理を1画面（画像）の全画素について行なうものである。図3(b)、(c)に領域サイズを1×3（450を参照）にしたときの画素430 に対するメディアンフィルタ処理を示す。

【0047】第1のメディアンフィルタ処理回路230 でのメディアンフィルタ処理には、上述したような1×3の領域サイズが用いられる。したがってR、G、Bの3系統のメディアンフィルタ処理回路はそれぞれ、少なくとも注目画素と注目画素の同一ライン上の左右の1画素とを記憶する記憶回路と、記憶回路に記憶された3つの画素のレベル値を比較し、レベル値の大きい順に並べ中央値（メディアン）を求める比較回路とを備えるのでよい。

【0048】このような処理は、本実施例では制御部38

の第2の制御回路からのメディアンフィルタ処理制御信号を生成するための制御信号122 に基づいて入力制御部240にて形成されるメディアンフィルタ処理制御信号318 に基づいて行なわれる。

【0049】このような処理を画素データRについて行なうのがRメディアンフィルタ処理回路232 であり、画素データGについて行なうのがGメディアンフィルタ処理回路234 であり、画素データBについて行なうのがBメディアンフィルタ処理回路236 である。R、GおよびBメディアンフィルタ処理回路232、234 および236 の出力316 からは、メディアンフィルタ処理の施されたR、GおよびBの画素データが出力される。出力316 は、第1のメモリ238 の対応する入力に接続されている。

【0050】第1のメモリ238 は、ビデオRAM などにて構成されており、本実施例では、入力316 に現れたR、GおよびBそれぞれの画素データ（横1280×縦512×色の種類3ドット）を蓄積する容量を有する記憶回路である。

【0051】本実施例では、入力316 に現れたR、GおよびBの画素データは、制御部38の第2の制御回路からの書き込み制御信号を生成するための制御信号122 に基づいて入力制御部240 にて形成した書き込み制御信号によりメモリ238 に蓄積され、またメモリ238 に蓄積された画素データR、GおよびBは、制御部38の第2の制御回路からの読み出し制御信号を生成するための制御信号122 に基づいて出力制御部242 にて形成したインタレース読み出し制御信号によりメモリ238 から読み出されて出力320 に出力される。

【0052】詳細には、上述のインタレース読み出し制御信号は、奇数ラインごとまたは偶数ラインごとに1画素おきに画素データを読み出す制御信号である。したがって第1のメモリ238 の出力320 からは、1フレーム分として各々横640×縦512ドットのR、GおよびBの画素データが出力される。第1のメモリ238 の出力320はYC変換器244 の対応する入力に接続されている。

【0053】なおこの例では、第1のメモリ238 は各々横1280×縦512ドット分のR、GおよびBの画素データを蓄積することのできる記憶回路としたが、各々横640×縦512ドット分のR、GおよびBの画素データを蓄積することのできる記憶回路としてもよい。この場合には、入力制御部240 から送られてくる書き込み制御信号は各ラインごとに1画素おきに画素データを書き込む制御信号でよい。

【0054】YC変換器244 は、選択回路およびYC変換回路から構成され、選択回路は第1のメモリ238 からの画素データを用いるか、あるいは第2のメモリ278 からの画素データを用いるかを選択するスイッチ回路であり、制御部38からの切替信号122 に基づき、どちらかが選択される。選択された第1のメモリ238 あるいは第2のメモリ278 からの画素データR、GおよびBは、YC

変換回路に送られるとともに、その出力107 から出力される。

【0055】YC変換回路は、たとえば乗算器、加算器、減算器などにて構成され、選択回路から画素データR、GおよびBを入力し、入力した画素データR、GおよびBそれぞれを用い、制御部38の第2の制御回路からのYC変換制御信号を生成するための制御信号122 に基づいて出力制御部340 にて形成したYC変換制御信号により輝度信号データY (横640 × 縦512 ドット) および色差信号データR-Y、B-Y (それぞれ横640 × 縦512 ドット) のデータ形式に変換する回路である。この変換したデータはその出力106 から出力される。

【0056】図2を参照すると、入力制御部240 は、前に少し触れたように、図1に示す制御部38の第2の制御回路からの書き込み制御信号を生成するための制御信号122に基づいて第1のメモリ238 および第2のメモリ278 への書き込み制御信号を形成する制御回路である。

【0057】入力制御部240 はまた、制御部38の第2の制御回路からのメディアンフィルタ処理制御信号を生成するための制御信号122 に基づいて第1および第2のメディアンフィルタ処理回路230 および270 へのメディアンフィルタ処理制御信号318を形成する制御回路である。この第1の実施例では、メディアンフィルタ処理制御信号318 は1画面の全画素について低減処理を行なう制御信号である。

【0058】また、出力制御部242 は、前に少し触れたように、制御部38の第2の制御回路からの読み出し制御信号を生成するための制御信号122 に基づいて第1のメモリ238 および第2のメモリ278 へのインターレースあるいはノンインターレース読み出し制御信号などを形成する制御回路である。出力制御部242 はまた、制御部38の第2の制御回路からのYC変換制御信号を生成するための制御信号122 に基づいてYC変換器360 へのYC変換制御信号などを形成する制御回路である。

【0059】図1に示すように、デジタルアナログ変換器40は、入力107 からのデジタル画像データR、GおよびBをアナログ値にて表される画像信号に変換し、それをたとえば、モニタ装置がライン数が525 本、フィールド周波数が60Hzの525/60方式のRGBモニタ装置、ライン数が625 本、フィールド周波数が50Hzの625/50方式のRGB モニタ装置あるいは上記ライン数よりも少ないライン数からなる低解像度のRGB モニタ装置 (いずれも図示せず) などに出力する。

【0060】図2に戻って、第2の乗算器250 は、前述した第1の乗算器210 と同じ機能を有し、第2の加算器260 は、前述した第1の加算器220 と同じ機能を有し、第2のメディアンフィルタ処理回路270 は、前述した第1のメディアンフィルタ処理回路230 と同じ機能を有し、第2のメモリ278 は、前述した第1のメモリ238 と同じ機能を備えているので、上記各部の説明は省く。

【0061】図2は、上述したように第1と第2の変換ルートに有する構成になっているから、基本的に、第1の変換ルートにより被写体の画像をモニタに表示しているときは、第2の変換ルートは被写体の画像の変換処理を行い、また第2の変換ルートにより被写体の画像をモニタに表示しているときは、第1の変換ルートは被写体の画像の変換処理を行うことができる。

【0062】また図2において、たとえば、第2の変換ルートの第2の乗算器250、第2の加算器260 および第2のメディアンフィルタ処理回路270 を含まず、第1のメディアンフィルタ処理回路230 の出力316 を第2のメモリ278 の入力に接続する構成とすることで、基本的に図2と同様に、モニタへの被写体の画像の表示、および被写体の画像の変換処理を各々独立に行うことができる。

【0063】また図2において、たとえば、第2の変換ルートの第2の乗算器250、第2の加算器260、第2のメディアンフィルタ処理回路270 および第2のメモリ278 を含まない第1の変換ルートのみの構成とし、モニタに被写体の画像を表示を行っているときは、被写体の画像の変換処理を行わず、また被写体の画像の変換処理を行っているときは、モニタに被写体の画像の表示を行わないことでもよい。

【0064】また、図1および図2において、アナログデジタル変換器16のフレームメモリを介さずに、アナログデジタル変換器16から直接画素データを第1の乗算器210 および第2の乗算器250 に送る構成でもよい。

【0065】次に、図2の各部に現れる画素データを図4ないし図7に示し、ムービー処理部20の各部の信号処理の方法について詳細に説明する。図4は、GストライプRB完全市松色フィルタ配列による高解像度CCD からの表示ドット、すなわち横1280×縦1024ドット構成を、説明の都合上、表示ドットを減らし、横8×縦4ドット構成とし、それらの画素データがムービー処理部20の各部により処理され現れた画素データを示したものである。

【0066】図5(a) には図4(a) の各々画素位置におけるレベル値の例が、図5(b) には図4(b) の各々画素位置におけるレベル値が、図5(c) には図4(c) の各々画素位置におけるレベル値が、図5(d) には図5(c) の状態において偽信号の低減処理を施したときのレベル値が示されている。

【0067】図5(a) のN01ラインの表示ドット番号4 および5のレベル値「0」は、この例ではCCD のN01ラインの表示ドット番号4 および5が欠陥画素であるためにそれらから出力されたレベル値が「0」であることを示している。

【0068】また図6は、RGB ストライプ色フィルタ配列による高解像度CCD からの表示ドット、すなわち横1280×縦1024ドット構成を、説明の都合上、表示ドットを減らし、横6×縦4ドット構成とし、それらの画素デー

タがムービー処理部20の各部により処理され現れた画素データを示したものである。

【0069】図7(a)には図6(a)の各々画素位置におけるレベル値の例が、図7(b)には図6(b)の各々画素位置におけるレベル値が、図7(c)には図6(c)の各々画素位置におけるレベル値が、図7(d)には図7(c)に状態において偽信号の低減処理を施したときのレベル値が示されている。

【0070】図7(a)のN01ラインの表示ドット番号4および5のレベル値「0」は、この例ではCCDのN01ラインの表示ドット番号4および5が欠陥画素であるためにそれらから出力されたレベル値が「0」であることを示している。

【0071】図4ないし図7において、横方向の番号は、ライン方向の表示ドットの番号を示し、また縦方向の番号は、ライン番号を示す。

【0072】まず、GストライプRB完全市松色フィルタ配列の高解像度CCDにより出力された画素データの信号処理の方法について、図1～図5を参照して説明する。

【0073】図1に示すGストライプRB完全市松色フィルタ配列の高解像度CCD(撮像素子12)により出力された上述した画素位置に欠陥画素を含む画素信号は、前処理回路14によりガンマ補正などの処理が施されてアナログディジタル変換器16に供給され、アナログディジタル変換器16により前処理されたアナログ画像信号がディジタル値に変換され、ディジタル値に変換された画素データは、制御部38の書き込み制御信号に基づき、アナログディジタル変換器16内に含まれるフレームメモリに図4(a)に示すように蓄積される。前述したように、この場合の図4(a)に示す各画素位置のレベル値は図5(a)に例として示されている。

【0074】フレームメモリに蓄積された画素データは、制御部38からの読み出し制御信号により1ラインおきに読み出され、1ラインおきに読み出された画素データR、G、およびB(図4(b)を参照、これは図4(a)のN01ラインとN03ラインの画素データを読み出した図である)は、セレクタ200を介して第1の乗算器210に送られる。この場合の図4(b)に示す各画素位置のレベル値は図5(b)に示されている。

【0075】第1の乗算器210のR乗算器212は、本実施例では、入力する画素データ R_0 に係数 $1, 3/4, 1/2, 1/4$ のいずれかを掛け、その結果を第1の加算器220のR加算器222に出力する。また、第1の乗算器210のG乗算器214、B乗算器216も同様に、本実施例では入力する画素データ G_0 、画素データ B_0 に係数 $1, 3/4, 1/2, 1/4$ のいずれかを掛け、その結果を第1の加算器220のG加算器224、B加算器226にそれぞれ出力する。

【0076】第1の加算器220のR加算器222は、たとえば、まず R_0 に0を加えて R_1 を作成し、次に R_1 に $3/4$ に $R_1/4$ を加えて R_2 を作成し、次に R_2 に $1/2$ に $R_2/2$ を加

えて R_3 を作成し、次に R_3 に $1/4$ に $R_3/4$ を加えて R_4 を作成し、次に R_4 に0を加えて R_5 を作成し、このような方法により順次 R_n を作成し、それを第1のメディアンフィルタ処理回路230のRメディアンフィルタ処理回路232に出力する。

【0077】第1の加算器220のG加算器224は、たとえば、まず $G_0/2$ (この場合の画素データ G_0 はこの例では R_1 の左側にあるとみなすとともに、そのレベル値をこの例では「1」としている)に $G_0/2$ を加えて G_1 を作成し、次に G_1 に0を加えて G_2 を作成し、次に G_2 に $1/2$ に $G_2/2$ を加えて G_3 を作成し、次に G_3 に0を加えて G_4 を作成し、このような方法により G_n を順次作成し、それを第1のメディアンフィルタ処理回路230のGメディアンフィルタ処理回路234に出力する。

【0078】第1の加算器220のB加算器226は、たとえば、まず $B_0/2$ (この場合の画素データ B_0 はこの例では R_1 の左側2つ目にあるとみなすとともに、そのレベル値をこの例では「1」としている)に $B_0/2$ を加えて B_1 を作成し、次に、 B_1 に $1/4$ に $B_1/4$ を加えて B_2 を作成し、次に B_2 に0を加えて B_3 を作成し、次に、 B_3 に $3/4$ に $B_3/4$ を加えて B_4 を作成し、次に B_4 に $1/2$ に $B_4/2$ を加えて B_5 を作成し、次に B_5 に $1/4$ に $B_5/4$ を加えて B_6 を作成し、次に B_6 に0を加えて B_7 を作成し、このような方法により順次 B_n を作成し、それを第1のメディアンフィルタ処理回路230のBメディアンフィルタ処理回路236に出力する。

【0079】このように第1の加算器220から出力される画素データ R_n, G_n, B_n は、たとえば、図4(c)に示すようになり、またこの場合のレベル値は図5(c)のようになる。

【0080】上記の説明および図4(b)、(c)からわかるように、たとえば画素データRについては、 R_1, R_5 以外の $R_2, R_3, R_4, R_6, R_7, R_8$ が補間画素であり、画素データGについては、 G_2, G_4, G_6, G_8 以外の G_1, G_3, G_5, G_7 が補間画素であり、画素データBについては、 B_3, B_7 以外の $B_1, B_2, B_4, B_5, B_6, B_8$ が補間画素である。このような補間画素の作成方法については、システムによりあらかじめ決めておけばよい。

【0081】次に説明する第1のメディアンフィルタ処理回路230における処理についてはこの例では、図5(c)に示す左側の画素のレベル値の図示しない1つ左側の画素のレベル値を「1」としている。

【0082】R画素について説明すると、まず注目画素をN01ラインのN01表示ドットとしたとき、Rメディアンフィルタ処理回路232の記憶回路には、N01表示ドットの図示されない1つ左側の表示ドットとN01表示ドットとN01表示ドットの1つ右側のN02表示ドットの3つのデータが記憶される。記憶回路に記憶された3つのデータは読み出されて比較回路に送られる。

【0083】比較回路はN01表示ドットの1つ左側の表

示ドットのレベル値「1」とN01表示ドットのレベル値「1」とN02表示ドットのレベル値「3/4」と比較し、レベル値の大きい順つまり「1」、「1」、「3/4」の順に並べ、その中央値である「1」のデータを求め、この求めた中央値のデータを注目画素におけるメディアンフィルタ処理を施したデータとしてその出力316に出力する。

【0084】このようにN01表示ドットを注目画素とした処理が終了すると、処理回路232は次にN02表示ドットを注目画素とする処理に入る。この処理においても上述のような処理が行なわれる。ただし、対象となる表示ドットはN01～N03表示ドットである。同様な処理にてN03～N04表示ドットを注目画素とした処理が終了すると、処理回路232は次にCCDの欠陥画素に基づくN05表示ドットを注目画素とする処理に入る。

【0085】欠陥画素に基づくN05表示ドットを注目画素とする処理について説明すると、処理回路232の記憶回路には、N04表示ドットとN05表示ドットとN06表示ドットの3つのデータが記憶される。記憶回路に記憶された3つのデータは、読み出されて比較回路に送られる。比較回路は、N04表示ドットのレベル値「1/4」とN05表示ドットのレベル値「0」とN06表示ドットのレベル値「1/4」と比較し、レベル値の大きい順つまり「1/4」、「1/4」、「0」の順に並べ、その中央値である「1/4」のデータを注目画素におけるメディアンフィルタ処理を施したデータとしてその出力316に出力する。

【0086】このように注目画素におけるレベル値「0」がメディアンフィルタ処理によるレベル値「1/4」になる、つまりこの回路により偽信号の低減処理が行なわれたことになる。このような方法により順次R画素における注目画素に対するメディアンフィルタ処理を施したデータを求め、それを第1のメモリ238に出力する。

【0087】またGおよびBメディアンフィルタ処理回路234および236も同様に、上述した方法によりGおよびB画素における注目画素に対するメディアンフィルタ処理を施したデータを求め、それを第1のメモリ238に出力する。これにより第1のメモリ238には図4(c)に示す各画素配置の画素データが図5(d)に示すレベル値にて記憶される。

【0088】このようにして第1のメモリ238に蓄積された画素データ $R_{0..}$ 、 $G_{0..}$ 、 $B_{0..}$ は、本実施例では、出力制御部242の読み出し制御信号に基づいて第1のメモリ238から読み出されYC変換器244に送られる。このYC変換器244は、第1のメモリ238からの画素データ $R_{0..}$ 、 $G_{0..}$ 、 $B_{0..}$ を用い、たとえば、 $0.3R_{0..} + 0.59G_{0..} + 0.11B_{0..}$ の演算から輝度信号 $Y_{0..}$ を作成し、また、 $0.7R_{0..} - 0.59G_{0..} - 0.11B_{0..}$ の演算から色差信号 $R_{0..} - Y_{0..}$ を作成し、さらに $-0.3R_{0..} - 0.59G_{0..} + 0.89B_{0..}$ の演算から色差信号 $B_{0..} - Y_{0..}$ を作成し、それぞれ作成した信号を出力106に出力する。

【0089】次にRGBストライプ色フィルタ配列の高解

像度CCDにより出力された画素データの信号処理方法について図1～図3および図6～図7を参照して説明する。

【0090】図1に示すRGBストライプ色フィルタ配列の高解像度CCD（撮像素子12）により出力された上述した画素位置に欠陥画素を含む画素信号は、前処理回路14によりガンマ補正などの処理が施されてアナログデジタル変換器16に送られ、アナログデジタル変換器16により前処理したアナログ画像信号がデジタル値に変換され、デジタル値に変換された画素データは、制御部38の書き込み制御信号に基づき、アナログデジタル変換器16内に含まれるフレームメモリに図6(a)に示すように蓄積される。前述したように、この場合の図6(a)に示す各画素位置のレベル値は図7(a)に例として示されている。

【0091】フレームメモリに蓄積された画素データは、制御部38の読み出し制御信号により1ラインおきに読み出され、1ラインおきに読み出されたRGB画素データ（図6(b)を参照、これは図6(a)のN01ラインとN03ラインの画素データを読み出した図である）は、セレクタ200を介して第1の乗算器210に送られる。この場合の図6(b)に示す各画素位置のレベル値は図7(b)に示されている。

【0092】第1の乗算器210のR乗算器212は、本実施例では、入力する画素データ R_n に係数1、2/3、1/3のいずれかを掛け、その結果を第1の加算器220のR加算器222に出力する。また第1の乗算器210のG乗算器214、B乗算器216も同様に、本実施例では、入力する画素データ G_n 、画素データ B_n に係数1、2/3、1/3のいずれかを掛け、その結果を第1の加算器220のG加算器224、B加算器226にそれぞれ出力する。

【0093】第1の加算器220のR加算器222は、たとえば、まず R_n に0を加えて R_{n1} を作成し、 R_{n1} に R_n の2/3を加えて R_{n2} を作成し、次に R_{n2} に R_n の1/3を加えて R_{n3} を作成し、次に R_{n3} に0を加えて R_{n4} を作成し、このような方法により順次 $R_{n0..}$ を作成し、それを第1のメディアンフィルタ処理回路230のRメディアンフィルタ処理回路232に出力する。

【0094】第1の加算器220のG加算器224は、たとえば、まず G_n の1/3（この場合の画素データ G_n はこの例では R_n の左側2つ目にあるとみなすとともに、そのレベル値をこの例では「1」としている）に G_n の2/3を加えて G_{n1} を作成し、次に G_{n1} に0を加えて G_{n2} を作成し、次に G_{n2} の2/3に G_n の1/3を加えて G_{n3} を作成し、次に G_{n3} の1/3に G_n の2/3を加えて G_{n4} を作成し、次に G_{n4} に0を加えて G_{n5} を作成し、このような方法により順次 $G_{n0..}$ を作成し、それを第1のメディアンフィルタ処理回路230のGメディアンフィルタ処理回路234に出力する。

【0095】第1の加算器220のB加算器226はまた、たとえば、まず B_n の2/3（この場合の画素データ B_n はこの

例では R_i の左側にあるとみなすとともに、そのレベル値をこの例では「1」としている)に $B_i 1/3$ を加えて B_{i1} を作成し、次に $B_i 1/3$ に $B_i 2/3$ を加えて B_{i2} を作成し、次に B_i に0を加えて B_{i3} を作成し、次に $B_i 2/3$ に $B_i 1/3$ を加えて B_{i4} を作成し、次に $B_i 1/3$ に $B_i 2/3$ を加えて B_{i5} を作成し、次に B_i に0を加えて B_{i6} を作成し、このような方法により順次 B_{in} を作成し、それを第1のメディアンフィルタ処理回路230のBメディアンフィルタ処理回路236に出力する。

【0096】これにより第1の加算器220から出力される画素データ R_{n1}, G_{n1}, B_{n1} は、たとえば、図6(c)に示すようになり、またこの場合のレベル値は図7(c)のようになる。

【0097】上記の説明および図6(c)、(d)からわかるように、たとえば画素データRについては、 R_{i1}, R_{i4} 以外の $R_{i2}, R_{i3}, R_{i5}, R_{i6}$ が補間画素であり、画素データGについては、 G_{i2}, G_{i5} 以外の $G_{i1}, G_{i3}, G_{i4}, G_{i6}$ が補間画素であり、画素データBについては、 B_{i3}, B_{i6} 以外の $B_{i1}, B_{i2}, B_{i4}, B_{i5}$ が補間画素である。このような補間画素の作成方法については、あらかじめシステムにより決

めておけばよい。

【0098】次に説明する第1のメディアンフィルタ処理回路230における処理においてはこの例では、図7(c)に示す左側の画素のレベル値の図示しない1つ左側の画素のレベル値を「1」としている。

【0099】R画素について説明すると、まず注目画素をN01ラインのN01表示ドットとしたとき、Rメディアンフィルタ処理回路232の記憶回路には、N01表示ドットの図示されない1つ左側の表示ドットとN01表示ドットとN01表示ドットの1つ右側のN02表示ドットの3つのデータが記憶される。記憶回路に記憶された3つのデータは読み出されて比較回路に送られる。

【0100】比較回路は、N01表示ドットの1つ左側の表示ドットのレベル値「1」とN01表示ドットのレベル値「1」とN02表示ドットのレベル値「2/3」と比較し、レベル値の大きい順つまり「1」、「1」、「2/3」の順に並べ、その中央値である「1」のデータを注目画素におけるメディアンフィルタ処理を施したデータとしてその出力316に出力する。

【0101】このようにN01表示ドットを注目画素とした処理が終了すると、処理回路232は次にN02表示ドットを注目画素とする処理に入る。この処理においても上述のような処理が行なわれる。ただし、対象となる表示ドットはN01～N03表示ドットである。同様な処理にてN02～N03表示ドットを注目画素とした処理が終了すると、処理回路232は次にCCDの欠陥画素に基づくN04表示ドットを注目画素とする処理に入る。

【0102】欠陥画素に基づくN04表示ドットを注目画素とする処理について説明すると、Rメディアンフィルタ処理回路232の記憶回路にはN03表示ドットとN04表

示ドットとN05表示ドットの3つのデータが記憶される。記憶回路に記憶された3つのデータは読み出されて比較回路に送られる。比較回路はN03表示ドットのレベル値「1/3」とN04表示ドットのレベル値「0」とN05表示ドットのレベル値「1/3」と比較し、レベル値の大きい順つまり「1/3」、「1/3」、「0」の順に並べ、その中央値である「1/3」のデータを注目画素におけるメディアンフィルタ処理を施したデータとしてその出力316に出力する。

【0103】このように注目画素におけるレベル値「0」がメディアンフィルタ処理によるレベル値「1/3」になる、つまりこの回路により偽信号の低減処理が行なわれたことになる。このような方法により順次R画素における注目画素に対するメディアンフィルタ処理を施したデータを作成し、それを第1のメモリ238に出力する。

【0104】GおよびBメディアンフィルタ処理回路234および236も同様に、GおよびB画素における注目画素に対するメディアンフィルタ処理を施したデータを求め、それを第1のメモリ238に出力する。これにより第1のメモリ238には図6(c)に示す各画素配置の画素データが図7(d)に示すレベル値にて記憶される。

【0105】このように第1のメモリ238に蓄積された画素データ R_{n1}, G_{n1}, B_{n1} は、出力制御部242の読み出し制御信号に基づいて第1のメモリ238から読み出されYC変換器244に送られる。YC変換器244は第1のメモリ238からの画素データ R_{n1}, G_{n1}, B_{n1} を用い、たとえば $0.3R_{n1} + 0.59G_{n1} + 0.11B_{n1}$ の演算から輝度信号 Y_{n1} を作成し、また $0.7R_{n1} - 0.59G_{n1} - 0.11B_{n1}$ の演算から色差信号 $R_{n1} - Y_{n1}$ を作成し、さらに $-0.3R_{n1} - 0.59G_{n1} + 0.89B_{n1}$ の演算から色差信号 $B_{n1} - Y_{n1}$ を作成し、それぞれ作成した信号を出力106に出力する。

【0106】第1の実施例の動作を説明する。

【0107】まずカメラ1の撮像素子12が標準解像度のCCD(表示ドット数、横640×縦512ドット)であり、このCCD12から出力された画素信号がNTSC方式の映像信号に変換されモニタに表示されるまでの動作について説明する。

【0108】撮像レンズ10による被写体の光学像は、標準解像度のCCD12の撮像面に結像される。CCD12は、その結像の横640×縦512ドットの画素を走査してその画素信号を前処理回路14に送る。前処理回路14は、入力した画像信号を所定のレベルまで増幅し、さらに、この増幅した画像信号にブラックレベル補正、ホワイトバランス補正、ガンマ補正などの処理を行いアナログディジタル変換器16に送る。

【0109】アナログディジタル変換器16は、入力したアナログ画像信号をディジタル値に変換し、さらにディジタル値に変換した画像データをアナログディジタル変換器16内のフレームメモリに蓄積する。このフレームメモリに蓄積された画像データは制御部38からのインテラース方式の読み出し制御信号により読み出されYC処理

部18に送られる。

【0110】YC処理部18は、入力した画像データR、GおよびBを輝度信号データYおよび色差信号データR-Y、B-Yのデータ形式に変換して後処理回路22に送る。後処理回路22は、入力した輝度信号データYに対し輪郭補正を行い、また入力した色差信号データR-YおよびB-Yに対し色補正を行い、その補正した画像信号をディジタルアナログ変換器24に送る。

【0111】ディジタルアナログ変換器24は、入力した画像信号をアナログ値にて表される画像信号に変換し再生部26に送る。再生部26は、入力した画像信号をNTSC方式の映像信号に変換しNTSC方式のモニタ装置に送る。モニタ装置は、カメラ1からの被写体の画像を表示する。

【0112】次に、カメラ1の撮像素子12がGSTライプRB完全市松フィルタの高解像度のCCD(表示ドット数、横1280×縦1024ドット)であり、このCCD12から出力された画素信号がNTSC方式の映像信号に変換されモニタに表示されるまでの動作について説明する。CCD12の欠陥画素の位置は前述したのと同じ位置である。

【0113】撮像レンズ10による被写体の光学像は、高解像度のCCD12の撮像面に結像される。CCD12は、その結像の横1280×縦1024ドットの画素を走査してその画素信号を前処理回路14に送る。前処理回路14は、入力した画像信号を所定のレベルまで増幅し、さらにこの増幅した画像信号にブラックレベル補正、ホワイトバランス補正、ガンマ補正などの処理をしてアナログディジタル変換器16に送る。

【0114】アナログディジタル変換器16は、入力したアナログ画像信号をディジタル値に変換し、さらにディジタル値に変換した画像データをアナログディジタル変換器16内のフレームメモリに、本実施例では120msの時間で蓄積する。CCD12からの横1280×縦1024ドットの画素データは、図4(a)に示すような画素配列でフレームメモリに蓄積される。この場合の図4(a)に示す各画素のレベル値は図5(a)に示されている。

【0115】このようにフレームメモリに蓄積された画像データは、制御部38の読み出し制御信号により1ラインおきに読み出され、この読み出された画素データR、G、およびB(図4(b)、図5(b)参照)はセレクタ20を介し第1の乗算器210に送られる。第1の乗算器210のR乗算器212は、入力した画素データ R_0 に1、3/4、1/2、1/4いずれかの係数を掛け第1の加算器220のR加算器222に送る。また、第1の乗算器210のG乗算器214、B乗算器216も同様に、入力した画素データ G_0 、画素データ B_0 に1、3/4、1/2、1/4いずれかの係数を掛け第1の加算器220のG加算器224、B加算器226にそれぞれ送る。

【0116】R加算器222は、R乗算器212からの R_1 とR加算器222内部の0を加え R_1 を作成し、次にR乗算器212からの R_1 3/4と R_1 1/4を加え R_2 を作成し、次に

R乗算器212からの R_1 1/2と R_2 1/2を加え R_3 を作成し、次にR乗算器212からの R_1 1/4と R_2 3/4を加え R_4 を作成し、次にR乗算器212からの R_2 とR加算器222内部の0を加え R_5 を作成し、このように順次 R_n を作成し第1のメディアンフィルタ処理回路230のRメディアンフィルタ処理回路232に送る。

【0117】またG加算器224は、G乗算器214からの G_1 1/2とG加算器224内部の G_0 1/2を加え G_1 を作成し、次にG乗算器214からの G_1 とG加算器224内部の0を加え G_2 を作成し、次にG乗算器214からの G_1 1/2と G_2 1/2を加え G_3 を作成し、次にG乗算器214からの G_2 とG加算器224内部の0を加え G_4 を作成し、このように G_n を順次作成し第1のメディアンフィルタ処理回路230のGメディアンフィルタ処理回路234に送る。

【0118】またB加算器226は、B乗算器216からの B_1 1/2とB加算器226内部の B_0 1/2を加え B_1 を作成し、次に、B乗算器216からの B_1 3/4とB加算器226内部の B_1 1/4を加え B_2 を作成し、次に、B乗算器216からの B_2 とB加算器226内部の0を加え B_3 を作成し、次にB乗算器216からの B_2 3/4と B_3 1/4を加え B_4 を作成し、次にB乗算器216からの B_3 1/2と B_4 1/2を加え B_5 を作成し、次にB乗算器216からの B_4 1/4と B_5 3/4を加え B_6 を作成し、次にB乗算器216からの B_5 とB加算器226内部の0を加えて B_7 を作成し、このように順次 B_n を作成しBメディアンフィルタ処理回路236に送る。

【0119】これにより第1の加算器220から出力される画素データ R_n 、 G_n 、 B_n は、図4(c)に示すようになり、またこの場合のレベル値は図5(c)のようになる。

【0120】R画素の場合、最初の注目画素はN01ラインのN01表示ドットであり、Rメディアンフィルタ処理回路232の記憶回路には、N01表示ドットの図示されない1つ左側の表示ドットとN01表示ドットとN02表示ドットの3つのデータが記憶される。この場合、図示されないN01表示ドットの1つ左側の表示ドットのデータは、処理回路232内部で作成されたものであり、その他の2つのデータはR加算器222から送られてきたものである。記憶回路に記憶された3つのデータは読み出されて処理回路232の比較回路に送られる。

【0121】比較回路は、N01表示ドットの1つ左側の表示ドットのレベル値「1」とN01表示ドットのレベル値「1」とN02表示ドットのレベル値「3/4」と比較し、レベル値の大きい順つまり「1」、「1」、「3/4」の順に並べ、その中央値である「1」のデータを注目画素におけるメディアンフィルタ処理を施したデータとしてその出力316に出力する。

【0122】このようにN01表示ドットを注目画素とした処理が終了すると、処理回路232は次にN02表示ドットを注目画素とする処理に入る。この処理においても上述のような処理が行なわれる。ただし、対象となる表示

ドットはNO1～NO3表示ドットであり、これらのデータはR加算器222から送られてきたものである。同様な処理方法にてNO3表示ドットおよびNO4表示ドットを注目画素とした処理が終了すると、処理回路232は次にCCDの欠陥画素に基づくNO5表示ドットを注目画素とする処理に入る。

【0123】処理回路232の記憶回路には、NO4表示ドットとNO5表示ドットとNO6表示ドットの3つのデータが記憶される。記憶回路に記憶された3つのデータは読み出されて比較回路に送られる。比較回路は、NO4表示ドットのレベル値「1/4」とNO5表示ドットのレベル値「0」とNO6表示ドットのレベル値「1/4」と比較し、レベル値の大きい順つまり「1/4」、「1/4」、「0」の順に並べ、その中央値である「1/4」のデータを注目画素におけるメディアンフィルタ処理を施したデータとしてその出力316に出力する。

【0124】このように注目画素におけるレベル値「0」がメディアンフィルタ処理によりレベル値「1/4」になる、つまりこの回路により偽信号の低減処理が行なわれたことになる。このような方法により順次R画素における注目画素に対するメディアンフィルタ処理を施したデータを作成し、それを第1のメモリ238に送る。

【0125】また並行してGおよびBメディアンフィルタ処理回路234および236も上述したような処理方法によりGおよびB画素における注目画素に対するメディアンフィルタ処理を施したデータを作成し、それを第1のメモリ238に出力する。

【0126】第1のメディアンフィルタ処理回路230からの画素データ $R_{0..}$ 、 $G_{0..}$ 、 $B_{0..}$ は、入力制御部240の書き込み制御信号により第1のメモリ238に蓄積される。この場合、処理回路230から各サンプル点でのR、GおよびBの画素データが送られてくるから、第1のメモリ238には、それぞれが横1280×縦512ドットからなる図4(c)に示す各画素配置のデータが図5(d)に示すレベル値にて記憶される。

【0127】本実施例では、アナログディジタル変換器16のフレームメモリから画素データが読み出され、120ms内に画素データ $R_{0..}$ 、 $G_{0..}$ 、 $B_{0..}$ を第1のメモリ238に蓄積している。したがって第1のメモリ238に蓄積した画素データを実時間で再生部26を介してNTSC方式のモニタ装置29に表示することができる。また、このモニタ装置29がNTSC方式よりも低解像度のモニタである場合、画素データの間引き量を多くできるから、アナログディジタル変換器16のフレームメモリから画素データが読み出され、画素データ $R_{0..}$ 、 $G_{0..}$ 、 $B_{0..}$ を第1のメモリ238に蓄積するまでの時間をさらに短縮することができる。

【0128】このように第1のメモリ238に蓄積された画素データ $R_{0..}$ 、 $G_{0..}$ 、 $B_{0..}$ は、出力制御部242からの奇数ラインごとまたは偶数ラインごとに1画素おきに画素データを読み出すインタレース読み出し制御信号により第

1のメモリ238から読み出されYC変換器244に送られる。したがって第1のメモリ238の出力320からは、1フレーム分として各々横640×縦512ドットのR、GおよびBの画素データが出力される。

【0129】YC変換器244は、第1のメモリ238からの画素データ $R_{0..}$ 、 $G_{0..}$ 、 $B_{0..}$ および上述した演算式を用いて輝度信号 $Y_{0..}$ 、色差信号 $R_{0..}-Y_{0..}$ および色差信号 $B_{0..}-Y_{0..}$ を作成した後処理回路22に送る。後処理回路22以降の動作は、上述した標準解像度の場合の動作と同じなので説明を省略する。

【0130】次に、カメラ1の撮像素子12がRGBストライプ色フィルタ配列の高解像度のCCD(表示ドット数、横1280×縦1024ドット)であり、このCCD12から出力された画素信号がNTSC方式の映像信号に変換されモニタに表示されるまでの動作について説明する。CCD12の欠陥画素の位置は前述したのと同じ位置である。

【0131】撮像レンズ10による被写体の光学像は、高解像度のCCD12の撮像面に結像される。CCD12は、その結像の横1280×縦1024ドットの画素を走査してその画素信号を前処理回路14に送る。前処理回路14は、入力した画像信号を所定のレベルまで増幅し、さらにこの増幅した画像信号にブラックレベル補正、ホワイトバランス補正、ガンマ補正などの処理をしてアナログディジタル変換器16に送る。

【0132】アナログディジタル変換器16は、入力したアナログ画像信号をディジタル値に変換し、さらにディジタル値に変換した画像データをアナログディジタル変換器16内のフレームメモリに、本実施例では120msの時間で蓄積する。CCD12からの横1280×縦1024ドットの画素データは、図6(a)に示すような画素配列でフレームメモリに蓄積される。この場合の図6(a)に示す各画素のレベル値は図7(a)に例として示されている。

【0133】このフレームメモリに蓄積された画像データは、制御部38の読み出し制御信号により1ラインおきに読み出され、その読み出された画素データR、G、およびB(図6(b)、図7(b)参照)は、セレクタ200を介し第1の乗算器210に送られる。第1の乗算器210のR乗算器212は、入力した画素データ R_0 に1、2/3、1/3いずれかの係数を掛け第1の加算器220のR加算器222に送る。また、第1の乗算器210のG乗算器214、B乗算器216も同様に、入力した画素データ G_0 、画素データ B_0 に1、2/3、1/3いずれかの係数を掛け第1の加算器220のG加算器224、B加算器226にそれぞれ送る。

【0134】R加算器222は、R乗算器212からの R_1 とR加算器222内部の0を加え R_1 を作成し、次に、R乗算器212からの $R_1/3$ と $R_1/3$ を加え R_2 を作成し、次にR乗算器212からの $R_2/3$ と $R_2/3$ を加え R_3 を作成し、次にR乗算器212からの R_3 とR加算器222内部の0を加え R_4 を作成し、このように順次 R_n を作成し第1のメディアンフィルタ処理回路230のRメディアンフ

ィルタ処理回路232 に送る。

【0135】またG加算器224 は、G乗算器214 からの $G_2/3$ とG加算器224 内部の $G_0/3$ を加え G_1 を作成し、次にG乗算器214 からの G_1 とG加算器224 内部の0を加え G_2 を作成し、次にG乗算器214 からの $G_2/3$ と $G_0/3$ を加え G_3 を作成し、次にG乗算器214 からの $G_3/3$ と $G_2/3$ を加え G_4 を作成し、次にG乗算器214 からの G_4 とG加算器224 内部の0を加え G_5 を作成し、このように順次 G_n を作成し第1のメディアンフィルタ処理回路230 のGメディアンフィルタ処理回路234に送る。

【0136】またB加算器226 は、B乗算器216 からの $B_2/3$ とB加算器226 内部の $B_0/3$ を加え B_1 を作成し、次に、B乗算器216 からの $B_1/3$ とB加算器226 内部の $B_0/3$ を加え B_2 を作成し、次にB乗算器216 からの $B_2/3$ と $B_0/3$ を加え B_3 を作成し、次にB乗算器216 からの $B_3/3$ と $B_2/3$ を加え B_4 を作成し、次にB乗算器216 からの $B_4/3$ と $B_2/3$ を加え B_5 を作成し、次にB乗算器216 からの B_5 にB加算器226 内部の0を加え B_6 を作成し、このように順次 B_n を作成し第1のメディアンフィルタ処理回路230 のBメディアンフィルタ処理回路236 に送る。

【0137】これにより第1の加算器220 から出力された画素データ R_n, G_n, B_n は、図6(c)に示すようになり、またこの場合のレベル値は図7(c)のようになる。

【0138】R画素の場合、最初の注目画素はN01ラインのN01表示ドットであり、Rメディアンフィルタ処理回路232 の記憶回路には、N01表示ドットの図示されない1つ左側の表示ドットとN01表示ドットとN02表示ドットの3つのデータが記憶される。この場合、図示されないN01表示ドットの1つ左側の表示ドットのデータは、処理回路232 内部で作成されたものであり、その他の2つのデータはR加算器222 から送られてきたものである。記憶回路に記憶された3つのデータは読み出されて処理回路232 の比較回路に送られる。

【0139】比較回路は、N01表示ドットの1つ左側の表示ドットのレベル値「1」 とN01表示ドットのレベル値「1」 とN02表示ドットのレベル値「2/3」 と比較し、レベル値の大きい順つまり「1」、「1」、「2/3」の順に並べ、その中央値である「1」のデータを注目画素におけるメディアンフィルタ処理を施したデータとしてその出力316 に出力する。

【0140】このようにN01表示ドットを注目画素とした処理が終了すると、処理回路232は次にN02表示ドットを注目画素とする処理に入る。この処理においても上述のような処理が行なわれる。ただし、対象となる表示ドットはN01～N03表示ドットである。同様な処理にてN03表示ドットを注目画素とした処理が終了すると、処理回路232 は次にCCD の欠陥画素に基づくN04表示ドットを注目画素とする処理に入る。

【0141】処理回路232 の記憶回路には、N03表示ドットとN04表示ドットとN05表示ドットの3つのデータが記憶される。記憶回路に記憶された3つのデータは読み出されて比較回路に送られる。比較回路は、N03表示ドットのレベル値「1/3」 とN04表示ドットのレベル値「0」 とN05表示ドットのレベル値「1/3」 と比較し、レベル値の大きい順つまり「1/3」、「1/3」、「0」の順に並べ、その中央値である「1/3」のデータを注目画素におけるメディアンフィルタ処理を施したデータとしてその出力316 に出力する。

【0142】このように注目画素におけるレベル値「0」がメディアンフィルタ処理によるレベル値「1/3」になる、つまりこの回路により偽信号の低減処理が行なわれたことになる。このような方法により順次R画素における注目画素に対するメディアンフィルタ処理を施したデータを作成し、それを第1のメモリ238 に出力する。

【0143】また並行してGおよびBメディアンフィルタ処理回路234 および236 も上述したような方法によりGおよびB画素における注目画素に対するメディアンフィルタ処理を施したデータを作成し、それを第1のメモリ238 に出力する。

【0144】第1のメディアンフィルタ処理回路230 からの画素データ R_n, G_n, B_n は、入力制御部240 の書き込み制御信号により第1のメモリ238 に蓄積される。この場合、処理回路230 から各サンプル点でのR、GおよびBの画素データが送られてくるから、第1のメモリ238 にはそれぞれが横1280×縦512 ドットからなる図6(c)に示す各画素配置のデータが図7(d)に示すレベル値にて記憶される。

【0145】本実施例では、アナログディジタル変換器16のフレームメモリから画素データが読み出され、120ms 内に画素データ R_n, G_n, B_n を第1のメモリ238 に蓄積している。したがって第1のメモリ238 に蓄積した画素データを実時間で再生部26を介してNTSC方式のモニタ装置29に表示することができる。また、このモニタ装置29がNTSC方式よりも低解像度のモニタである場合、画素データの間引き量を多くできるから、アナログディジタル変換器16のフレームメモリから画素データが読み出され、画素データ R_n, G_n, B_n を第1のメモリ238 に蓄積するまでの時間をさらに短縮することができる。

【0146】出力制御部242 からの奇数ラインごとまたは偶数ラインごとに1画素おきに画素データを読み出すインタレース読み出し制御信号により第1のメモリ238 から読み出された画素データ R_n, G_n, B_n がNTSC方式の映像信号に変換されるまでの動作はGストライプRB完全市松フィルタの場合と同じであり、説明を省く。

【0147】このような第1の実施例によれば、ムービー処理部20が高解像度のCCD12 からの画素データR、GおよびBに対し補間処理を行なって各画素ごとに同時化した画素データR、GおよびBを得、次に同時化した画

10

20

30

40

50

素データ R、G および B に含まれる CCD12 の欠陥画素に基づく偽信号に対しても、また CCD12 の欠陥画素でない画素信号に対しても低減処理を行なって低減処理した画素データ R、G および B を得、次に低減処理した画素データ R、G および B に対し間引を行なって NTSC 方式のモニタ装置に表示し得るような画素数の画素データ R、G および B に変換し、次に変換した画素データ R、G および B に対し YC 変換を行なって輝度信号データ Y および色差信号データ R-Y、B-Y を得ているから、高解像度の被写体画像を画質のよい映像を実時間にて再生部 26 を介してモニタ装置 29 に表示することができるという効果がある。

【0148】図 8 には、本発明による画像信号処理装置の適用される電子スチルカメラの第 2 の実施例が示されている。同図の電子スチルカメラ 2 において、上述の電子スチルカメラ 1 と相違するところは、被写体画像の電気信号を表す高解像度信号に含まれる撮像素子 12 の欠陥画素の影響で発生した偽信号についてのみ低減処理を行なうようにした点である。

【0149】図 8 に示すように、カメラ 2 は、撮像レンズ 10、撮像素子 12、前処理回路 14、アナログディジタル (A/D) 変換器 16、YC 処理部 18、後処理回路 22、ディジタルアナログ (D/A) 変換器 24、40、再生部 26、セレクト 28、モニタ装置 29、圧縮処理部 30、メモリ 32、インタフェース (I/F) 34、メモリカード 36、駆動信号発生回路 44、欠陥位置データ記憶回路 46、ムービー処理部 48、制御部 50 および タイミング信号発生回路 52 から構成されている。

【0150】図 8 において、図 1 と相違するところは、欠陥位置データ記憶回路 46 が追加された点と、図 1 のムービー処理部 20 が図 8 ではムービー処理部 48 に変更された点と、図 1 の制御部 38 が図 8 では制御部 50 に変更された点と、図 1 のタイミング信号発生回路 42 が図 8 ではタイミング信号発生回路 52 に変更された点と、タイミング信号発生回路 52 と欠陥位置データ記憶回路 46 との間に制御線 132 が追加された点と、欠陥位置データ記憶回路 46 と制御部 50 との間に信号線 134 が追加された点である。なお、図 8 において、図 1 と対応する部分には同じ符号を付して示し、重複説明を省略する。

【0151】欠陥位置データ記憶回路 46 は、ROM などにて構成されており、本実施例では、高解像度の CCD12 の欠陥画素位置を示すデータを蓄積する記憶回路である。この蓄積された欠陥画素位置データは、タイミング信号発生回路 52 からの読み出し制御信号 132 により読み出され、その出力 134 から制御部 50 に出力される。欠陥画素位置データは、欠陥画素のあるライン位置を示すデータとそのライン位置におけるライン内の画素位置を示すアドレスデータとから構成されている。

【0152】制御部 50 は、タイミング信号発生回路 52 から接続線 126 を介して送られる各種タイミング信号に基

づいて前述した図 1 と同様のそれぞれの機能部を制御および管理する制御信号を形成する第 1 の制御回路 (図示せず) を有するとともに、この制御部 52 は特に、ムービー処理部 48 を制御および管理する制御信号を形成する第 2 の制御回路 (図示せず) も有している。

【0153】この第 2 の制御回路は、本実施例では、高解像度 CCD からの被写体画像をたとえば NTSC 方式のモニタ装置でモニタする場合に特に、前述したアナログディジタル変換器 16 のフレームメモリに蓄積される高解像度の画像データを読み出す読み出し制御信号を生成するとともに、このフレームメモリからの読み出された画像データに対して画像処理を施すムービー処理部 48 への作動信号も生成している。とくに、このムービー処理部 48 への制御信号は、欠陥位置データ記憶回路 46 からの欠陥画素位置を示すデータに基づいて生成される。

【0154】制御部 50 はまた、図示しないリリースボタン回路からそのボタンの押下によるシャッターリリース信号を受けると、撮影を開始させるための起動信号を形成し、それを制御線 124 を介してタイミング信号発生回路 52 に送る。

【0155】タイミング信号発生回路 52 は、制御部 50 から起動信号 124 を受けると、起動信号 124 に同期した駆動信号発生回路 44 を作動させるための各種タイミング信号を形成し、それらを信号線 128 を介して駆動信号発生回路 44 に出力し、また起動信号 124 に同期した制御部 50 を作動させるための各種タイミング信号を形成し、それらを信号線 126 を介して制御部 50 に出力し、また起動信号 124 に同期した欠陥位置データ記憶回路 46 を作動させるための各種タイミング信号を形成し、それらを制御線 132 を介して制御部 50 に出力する同期信号発生回路である。これら各種タイミング信号は、タイミング信号発生回路 52 内の基準信号発振器 (図示せず) から出力されるクロック信号に基づいて形成される。

【0156】図 9 には、カメラ 2 のムービー処理部 48 の内部構成が示されている。

【0157】ムービー処理部 48 は、本実施例では、まず入力 104 に現れた高解像度の CCD からの画素データ R、G および B に対し補間処理を行なって各画素ごとに同時化した画素データ R、G および B を得、次に同時化した画素データ R、G および B に含まれる CCD の欠陥画素に基づく偽信号に対してのみ低減処理を行なって低減処理した画素データ R、G および B を得、次に低減処理した画素データ R、G および B を含む同時化した画素データ R、G および B に対し間引を行なって NTSC 方式のモニタ装置に表示し得るような画素数の画素データ R、G および B に変換し、次に変換した画素データ R、G および B を出力 107 に出力するか、あるいは変換した画素データ R、G および B に対し YC 変換を行なって輝度信号データ Y および色差信号データ R-Y、B-Y を得て出力 106 に出力する画像処理回路である。

【0158】ムービー処理部48は、図9に示すように、セレクト200、第1の乗算器210、第1の加算器220、第1のメディアンフィルタ処理回路280、第1のメモリ238、入力制御部288、出力制御部242、YC変換器244、第2の乗算器250、第2の加算器260、第2のメディアンフィルタ処理回路290 および第2のメモリ278 を備えている。

【0159】図9において、図2と異なるところは、図2の第1のメディアンフィルタ処理回路230 が図9では第1のメディアンフィルタ処理回路280 に変更された点と、図2の入力制御部240 が図9では入力制御部288 に変更された点と、図2の第2のメディアンフィルタ処理回路270 が図9では第2のメディアンフィルタ処理回路290 に変更された点である。なお、図9において、図2と対応する部分には同じ符号を付して示し、重複説明を省略する。

【0160】第1の加算器220 にて補間されたR、G、B の3系統の画素データは、次の第1のメディアンフィルタ処理回路280 において、CCD12 の画素の欠陥に基づく偽信号についてのみ低減処理が行なわれる。

【0161】第1のメディアンフィルタ処理回路280 は Rメディアンフィルタ処理回路282と、Gメディアンフィルタ処理回路284 と、Bメディアンフィルタ処理回路286とから構成され、第2のメディアンフィルタ処理回路290 はRメディアンフィルタ処理回路292 と、Gメディアンフィルタ処理回路294 と、Bメディアンフィルタ処理回路296 とから構成されている。

【0162】処理回路282、284、286、292、294、296 のそれぞれは、同じ回路にて構成され、この回路は、入力する信号がCCD12 の欠陥画素に基づく偽信号でない場合には、この入力した信号をそのまま出力し、また偽信号である場合には、偽信号およびこの偽信号の1画素前後の信号を入力し、この入力した3つの画素のレベル値を比較し、次にレベル値の大きい順に並べ、次にその中央値（メディアン）を求め、この求めたメディアンの信号を出力するものである。

【0163】ここでは、Rメディアンフィルタ処理回路282 を例にとり説明する。処理回路282 は、この例では第1のスイッチ回路、第2のスイッチ回路、記憶回路および比較回路から構成されている。第1のスイッチ回路は、その入力端子にR加算器222 からの画素データRを受け、この受けた画素データRがCCD12 の欠陥画素に基づく偽信号でない場合にはその出力端子1に出力し、また偽信号である場合には、偽信号およびこの偽信号の1画素前後の画素データRをその出力端子2に出力する切替回路である。

【0164】記憶回路は、第1のスイッチ回路の出力端子2からの偽信号およびこの偽信号の1画素前後の画素データRを一時記憶する記憶回路である。記憶回路に一時記憶されたこれら3つの画素データRは、読み出され比較回路に送られる。比較回路は、送られてきた3つの

画素のレベル値を比較し、次にレベル値の大きい順に並べ、次にその中央値（メディアン）を求め、この求めたメディアンを第2のスイッチ回路の入力端子2に送る回路である。

【0165】第2のスイッチ回路は第1のスイッチ回路の出力端子1からの偽信号でない画素データRを受ける入力端子1を有し、この回路は、入力した画素データRが欠陥画素に基づく偽信号でない場合には、入力端子1に入力した画素データRを、また偽信号である場合には、入力端子2に入力したメディアンを示す画素データRをその出力端子に出力する切替回路である。第2のスイッチ回路の出力端子は信号線316 と接続されている。

【0166】このような処理は、本実施例では制御部50の第2の制御回路からのメディアンフィルタ処理制御信号を生成するための制御信号122 に基づいて入力制御部288にて形成されるメディアンフィルタ処理制御信号318 に基づいて行なわれる。

【0167】図9を参照すると、入力制御部288 は、前に少し触れたように、図8に示す制御部50の第2の制御回路からの書き込み制御信号を生成するための制御信号122に基づいて第1のメモリ238 および第2のメモリ278 への書き込み制御信号を形成する制御回路である。

【0168】入力制御部288 はまた、前に少し触れたように、制御部50の第2の制御回路からのメディアンフィルタ処理制御信号を生成するための制御信号122 に基づいて第1および第2のメディアンフィルタ処理回路280 および290 へのメディアンフィルタ処理制御信号318 を形成する制御回路である。この第2の実施例では、メディアンフィルタ処理制御信号318 は1画面の欠陥画素についてのみ低減処理を行なう制御信号である。

【0169】第2の実施例の動作を説明する。

【0170】まず、カメラ2の撮像素子12がGストライプRB完全市松フィルタの高解像度のCCD（表示ドット数、横1280×縦1024ドット）であり、このCCD12 から出力された画素信号がNTSC方式の映像信号に変換されモニタに表示されるまでの動作について説明する。CCD12 の欠陥画素の位置は図1の場合と同じ位置とする。

【0171】高解像度のCCD12 からのアナログの画素信号が前処理回路14を介してアナログデジタル変換器16 に送られデジタルの画素信号に変換されて記憶され、この記憶された画素データが1ラインおきに読み出されムービー処理部48のセレクト200 および第1の乗算器210 を介して第1の加算器220 に送られ1画素ごとに同時化された画素データ R_n 、 G_n 、 B_n が得られるところまでの動作は、第1の実施例のGストライプRB完全市松フィルタを有する高解像度のCCD12 の場合と同じなので説明を省略する。

【0172】これにより第1の加算器220 から出力される画素データ R_n 、 G_n 、 B_n は、図4(c)に示すようになり、またこの場合のレベル値は図5(c)のようになる。

【0173】 R画素について説明すると、最初の画素は、N01ラインのN01表示ドットであり、これは欠陥画素でないから、Rメディアンフィルタ処理回路282の第1のスイッチ回路にはその入力端子をその出力端子1に接続するための制御信号が入力制御部288から送られるとともに、第2のスイッチ回路にはその入力端子1をその出力端子に接続するための制御信号が入力制御部288から送られる。したがって処理回路282の出力316からは、レベル値「1」のデータが出力される。

【0174】 このようにN01表示ドットを対象画素とした処理が終了すると、処理回路282は次にN02表示ドットを対象画素とする処理に入る。この処理においても2番目の画素は欠陥画素でないから、上述のような処理が行なわれる。同様に3番目および4番目の画素も欠陥画素でないから、上述のような処理が行なわれる。したがって処理回路282の出力316からは、2番目の画素についてはレベル値「3/4」のデータが、3番目の画素についてはレベル値「1/2」のデータが、4番目の画素についてはレベル値「1/4」のデータが出力される。

【0175】 N04表示ドットを対象画素とした処理が終了すると、処理回路282は次にN05表示ドットを注目画素とする処理に入る。この場合、処理回路282の第1のスイッチ回路にはその入力端子をその出力端子2に接続するための制御信号が入力制御部288から送られるとともに、第2のスイッチ回路にはその入力端子2をその出力端子に接続するための制御信号が入力制御部288から送られる。

【0176】 これにより第1のスイッチ回路を介して処理回路282の記憶回路には、N04表示ドットとN05表示ドットとN06表示ドットの3つのデータが記憶される。記憶回路に記憶された3つのデータは読み出されて比較回路に送られる。比較回路はN04表示ドットのレベル値「1/4」とN05表示ドットのレベル値「0」とN06表示ドットのレベル値「1/4」と比較し、レベル値の大きい順つまり「1/4」、「1/4」、「0」の順に並べ、その中央値である「1/4」のデータを注目画素におけるメディアンフィルタ処理を施したデータとして第2のスイッチ回路を介してその出力316に出力する。

【0177】 つまり、処理回路282においては、入力した画素データRが欠陥画素に基づく偽信号でない場合には、入力した画素データRをそのまま第1のメモリ238に送り、また、偽信号である場合には、メディアンを示す画素データRを求め、第1のメモリ238に送る。このようなことが画素データGおよびBについても処理回路284および286において行なわれる。

【0178】 第1のメディアンフィルタ処理回路280からの画素データ $R_{n..}$ 、 $G_{n..}$ 、 $B_{n..}$ は、入力制御部288の書き込み制御信号により第1のメモリ238に蓄積される。この場合、処理回路280から各サンプル点でのR、GおよびBの画素データが送られてくるから、第1のメモリ23

8にはそれぞれが横1280×縦512ドットからなる図4(c)に示す画素配置の画素データが図5(d)に示すレベル値にて記憶される。

【0179】 第2の実施例も第1の実施例と同じように、アナログデジタル変換器16のフレームメモリから画素データが読み出され、120ms内に画素データ $R_{n..}$ 、 $G_{n..}$ 、 $B_{n..}$ を第1のメモリ238に蓄積している。したがって第1のメモリ238に蓄積した画素データを実時間で再生部26を介してNTSC方式のモニタ装置29に表示することができる。

【0180】 また、このモニタ装置29がNTSC方式よりも低解像度のモニタである場合、画素データの間引き量を多くできるから、アナログデジタル変換器16のフレームメモリから画素データが読み出され、画素データ $R_{n..}$ 、 $G_{n..}$ 、 $B_{n..}$ を第1のメモリ238に蓄積するまでの時間をさらに短縮することができる。第1のメモリ238以降の動作については、第1の実施例の場合と同じなので説明を省略する。

【0181】 次に、カメラ2の撮像素子12がRGBストライプ色フィルタ配列の高解像度のCCD(表示ドット数、横1280×縦1024ドット)であり、このCCD12から出力された画素信号がNTSC方式の映像信号に変換されモニタに表示されるまでの動作について説明する。CCD12の欠陥画素の位置は図1の場合と同じ位置とする。

【0182】 高解像度のCCD12からのアナログの画素信号が前処理回路14を介してアナログデジタル変換器16に送られデジタルの画素信号に変換されて記憶され、この記憶された画素データが1ラインおきに読み出されムービー処理部48のセレクト200および第1の乗算器210を介して第1の加算器220に送られ1画素ごとに同時化された画素データ $R_{n..}$ 、 $G_{n..}$ 、 $B_{n..}$ が得られるところまでの動作は、第1の実施例のRGBストライプ色フィルタを有する高解像度のCCD12の場合と同じなので説明を省略する。

【0183】 これにより第1の加算器220から出力された画素データ $R_{n..}$ 、 $G_{n..}$ 、 $B_{n..}$ は、図6(c)に示すようになり、またこの場合のレベル値は図7(c)のようになる。

【0184】 R画素について説明すると、最初の画素は、N01ラインのN01表示ドットであり、これは欠陥画素でないから、Rメディアンフィルタ処理回路282の第1のスイッチ回路にはその入力端子をその出力端子1に接続するための制御信号が入力制御部288から送られるとともに、第2のスイッチ回路にはその入力端子1をその出力端子に接続するための制御信号が入力制御部288から送られる。したがって処理回路282の出力316からは、レベル値「1」のデータが出力される。

【0185】 このようにN01表示ドットを対象画素とした処理が終了すると、処理回路282は次にN02表示ドットを対象画素とする処理に入る。この処理においても2番目の画素は欠陥画素でないから、上述のような処理が

行なわれる。同様に 3 番目の画素も欠陥画素でないから、上述のような処理が行なわれる。したがって処理回路 282 の出力 316 からは、2 番目の画素についてはレベル値 $\{2/3\}$ のデータが、3 番目の画素についてはレベル値 $\{1/3\}$ のデータが出力される。

【0186】N03 表示ドットを対象画素とした処理が終了すると、処理回路 282 は次に N04 表示ドットを注目画素とする処理に入る。この場合、処理回路 282 の第 1 のスイッチ回路にはその入力端子をその出力端子 2 に接続するための制御信号が入力制御部 288 から送られるとともに、第 2 のスイッチ回路にはその入力端子 2 をその出力端子に接続するための制御信号が入力制御部 288 から送られる。

【0187】これにより第 1 のスイッチ回路を介して処理回路 282 の記憶回路には、N03 表示ドットと N04 表示ドットと N05 表示ドットの 3 つのデータが記憶される。記憶回路に記憶された 3 つのデータは読み出されて比較回路に送られる。比較回路は N03 表示ドットのレベル値 $\{1/3\}$ と N04 表示ドットのレベル値 $\{0\}$ と N05 表示ドットのレベル値 $\{1/3\}$ と比較し、レベル値の大きい順つまり $\{1/3\}$ 、 $\{1/3\}$ 、 $\{0\}$ の順に並べ、その中央値である $\{1/3\}$ のデータを注目画素におけるメディアンフィルタ処理を施したデータとして第 2 のスイッチ回路を介してその出力 316 に出力する。

【0188】つまり、処理回路 282 においては、入力した画素データ R が欠陥画素に基づく偽信号でない場合には、入力した画素データ R をそのまま第 1 のメモリ 238 に送り、また、偽信号である場合には、メディアンを示す画素データ R を求め、第 1 のメモリ 238 に送る。このようなことが画素データ G および B についても処理回路 284 および 286 において行なわれる。

【0189】第 1 のメディアンフィルタ処理回路 280 からの画素データ $R_{0..}$ 、 $G_{0..}$ 、 $B_{0..}$ は、入力制御部 288 の書き込み制御信号により第 1 のメモリ 238 に蓄積される。この場合、処理回路 280 から各サンプル点での R、G および B の画素データが送られてくるから、第 1 のメモリ 238 にはそれぞれが横 1280×縦 512 ドットからなる図 6 (c) に示す画素配置の画素データが図 7 (d) に示すレベル値にて記憶される。

【0190】第 2 の実施例も第 1 の実施例と同じように、アナログディジタル変換器 16 のフレームメモリから画素データが読み出され、120ms 内に画素データ $R_{0..}$ 、 $G_{0..}$ 、 $B_{0..}$ を第 1 のメモリ 238 に蓄積している。したがって第 1 のメモリ 238 に蓄積した画素データを実時間で再生部 26 を介して NTSC 方式のモニタ装置 29 に表示することができる。

【0191】また、このモニタ装置 29 が NTSC 方式よりも低解像度のモニタである場合、画素データの間引き量を多くできるから、アナログディジタル変換器 16 のフレームメモリから画素データが読み出され、画素データ $R_{0..}$ 、

$G_{0..}$ 、 $B_{0..}$ を第 1 のメモリ 238 に蓄積するまでの時間をさらに短縮することができる。第 1 のメモリ 238 以降の動作については、第 1 の実施例の場合と同じなので説明を省略する。

【0192】このような第 2 の実施例によれば、ムービー処理部 48 が高解像度の CCD12 からの画素データ R、G および B に対し補間処理を行なって各画素ごとに同時化した画素データ R、G および B を得、次に同時化した画素データ R、G および B に含まれる CCD12 の欠陥画素についてはその偽信号に対してのみ低減処理を行なって低減処理した画素データ R、G および B を得て出力し、また欠陥画素でない画素信号についてはそのまま画素データ R、G および B を出力し、次に低減処理した画素データ R、G および B とそのまま出力した画素データ R、G および B との混在した画素データに対し間引を行なって NTSC 方式のモニタ装置に表示し得るような画素数の画素データ R、G および B に変換し、次に変換した画素データ R、G および B に対し YC 変換を行なって輝度信号データ Y および色差信号データ R-Y、B-Y を得ているから、高解像度の被写体画像を画質のよい映像を実時間で再生部 26 を介してモニタ装置 29 に表示することができるという効果がある。

【0193】なお、上記信号処理は、水平走査線方向の画素データに対して説明したが、垂直方向の画素データに対しても同様の信号処理ができる。

【0194】なおまた、第 1 および第 2 の実施例では、補間後の画素データについてメディアンフィルタ処理を行ない、このメディアンフィルタ処理を行なった画素データについて間引いて記憶するか、あるいは記憶後間引くかを行なう構成になっているが、補間後の画素データについてメディアンフィルタ処理を行なわないでこの補間後の画素データを間引いて記憶するか、あるいは記憶後間引くかを行なう構成でもよい。

【0195】このようにこの実施例では、カメラ 1、2 の撮像素子 12 が高解像度の CCD である場合に、その CCD に結像された高解像度の被写体像の画素数を NTSC 方式のモニタ装置に表示できる画素数に変換するムービー処理部 20、48 を有している。

【0196】本発明を電子スチルカメラに適用し、G ストライプ RB 完全市松色フィルタ配列あるいは RGB ストライプ色フィルタ配列からなる横 1280×縦 1024 ドット構成の高解像度 CCD に結像した画像を NTSC 方式のモニタ装置に表示できる特定の処理回路について説明したが、本発明は、ベイヤ色フィルタ配列、インタライン色フィルタ配列、G ストライプ RB 市松色フィルタ配列、あるいは斜めストライプ色フィルタ配列などの高解像度 CCD に結像した画像を、PAL 方式のモニタ装置、SECAM 方式のモニタ装置、525/60 方式の RGB モニタ装置、625/50 方式の RGB モニタ装置、あるいはこれら上記モニタ装置の解像度よりも低い解像度のモニタ装置に効果的に適用することがで

きる。

【0197】

【発明の効果】このように本発明によれば、画像信号処理装置および電子スチルカメラの画像信号処理装置には、複数色の色フィルタを前面に有し、これら色フィルタに対応されたカラー画像情報を各画素から点順次で得るようにした固体撮像素子からなるカラー撮像手段により撮像されたカラー画像信号を得られた順にデジタル信号の形のカラー画像データで受け、受けたカラー画像データから画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを得る画素補間手段、および画素補間手段から画素毎に同時化した赤色R、緑色G、青色Bの3原色信号データを受け、受けた各色要素毎に各画素を中心としたその水平走査線上の前後に隣接する所定数の同色画素を含む連続したn画素領域についてメディアンフィルタ処理を行ない、処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段、または記憶手段から読み出される位置データに基づいて、固体撮像素子の複数の画素のうち欠陥のない各画素に対応するタイミングの画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについてはそのまま出力し、また固体撮像素子の複数の画素のうち欠陥のある各画素に対応するタイミングの画素補間手段からの赤色R、緑色G、青色Bの3原色信号データについては欠陥のある各画素に対応する各色要素を中心としたその水平走査線上の前後に隣接する所定数の同色要素を含む連続したn画素領域についてメディアンフィルタ処理を行ない、処理による中央値を示す色信号データを出力するメディアンフィルタ処理手段を備えている。

【0198】これらメディアンフィルタ処理手段は、1本の水平走査線上のn画素領域での処理回路になっているから、固体撮像素子の欠陥画素に基づく偽信号を短い処理時間にて処理できかつ回路規模も小さくできるという効果がある。

【0199】したがって、これらメディアンフィルタ処理手段を高解像度の固体撮像素子の電子スチルカメラで撮影した高解像度の被写体画像の映像をNTSCなどの標準テレビジョン方式の解像度のモニタにリアルタイムに再生する際に用いることができるという効果がある。

【図面の簡単な説明】

【図1】本発明による画像信号処理装置が適用される電子スチルカメラの第1の実施例を示すブロック図である。

【図2】図1に示した電子スチルカメラに適用するムービー処理部の一例を示すブロック図である。

【図3】図2および図9に示すムービー処理部が行うメディアンフィルタ処理例を示す説明図である。

【図4】GストライプRB完全市松色フィルタ配列による高解像度CCDからの画素データを受け図2および図9に示すムービー処理部が行う信号処理例を示す説明図である。

【図5】図4に示す説明図のレベル値例を示す図である。

【図6】RGBストライプ色フィルタ配列による高解像度CCDからの画素データを受け図2および図9に示すムービー処理部が行う信号処理例を示す説明図である。

【図7】図6に示す説明図のレベル値例を示す図である。

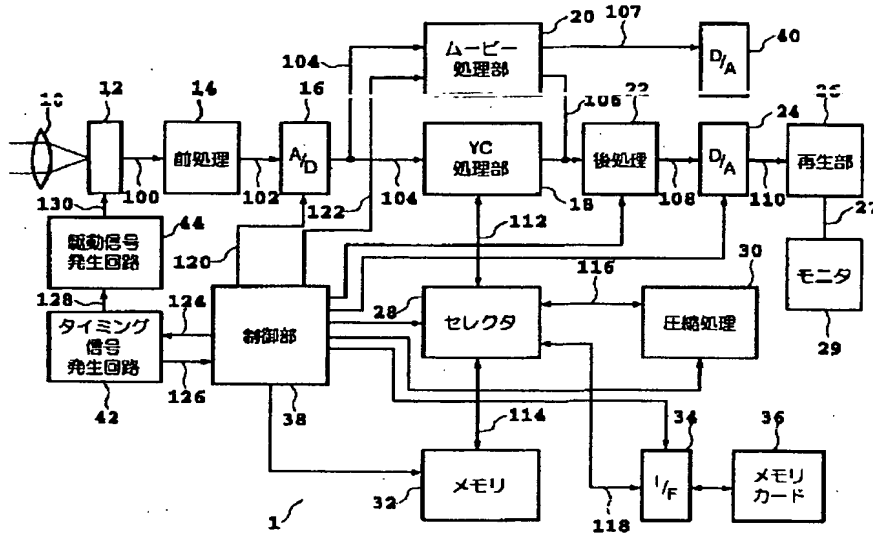
【図8】本発明による画像信号処理装置が適用される電子スチルカメラの第2の実施例を示すブロック図である。

【図9】図8に示した電子スチルカメラに適用するムービー処理部の一例を示すブロック図である。

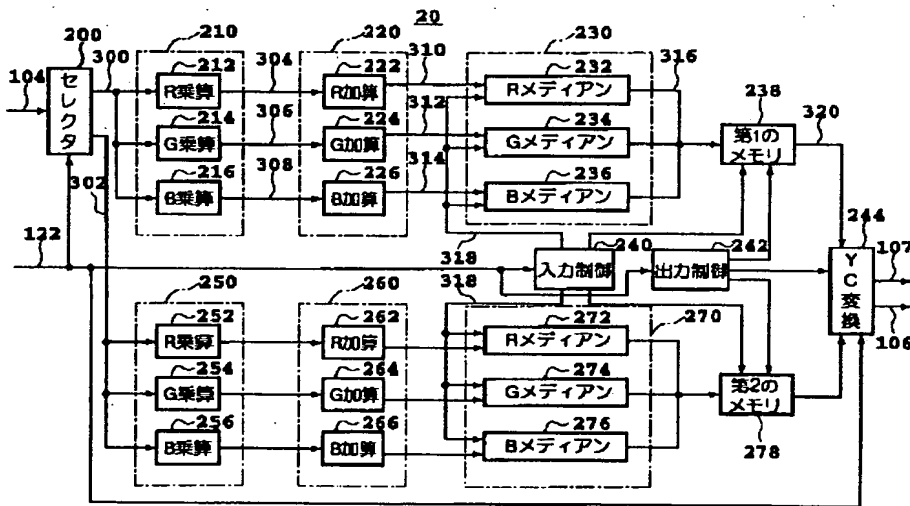
【符号の説明】

- 1, 2 電子スチルカメラ
- 10 撮像レンズ
- 12 撮像素子
- 14 前処理回路
- 16 アナログデジタル変換器(A/D)
- 18 YC処理部
- 20, 48 ムービー処理部
- 22 後処理回路
- 24, 40 デジタルアナログ変換器(D/A)
- 26 再生部
- 28, 200 セレクタ
- 30 圧縮処理部
- 32 メモリ
- 34 インタフェース(I/F)
- 36 メモリカード
- 38, 50 制御部
- 42, 52 タイミング信号発生回路
- 44 駆動信号発生回路
- 46 欠陥位置データ記憶回路
- 210 第1の乗算器
- 220 第1の加算器
- 230, 280 第1のメディアンフィルタ処理回路
- 238 第1のメモリ
- 240, 288 入力制御部
- 242 出力制御部
- 244 YC変換器
- 250 第2の乗算器
- 260 第2の加算器
- 270, 290 第2のメディアンフィルタ処理回路
- 278 第2のメモリ

【図1】



【図2】



【図6】

(a)

| | 1 | 2 | 3 | 4 | 5 | 6 |
|---|----------------|----------------|----------------|----------------|----------------|----------------|
| 1 | R ₁ | G ₂ | B ₃ | R ₄ | G ₅ | B ₆ |
| 2 | R ₁ | G ₂ | B ₃ | R ₄ | G ₅ | B ₆ |
| 3 | R ₁ | G ₂ | B ₃ | R ₄ | G ₅ | B ₆ |
| 4 | R ₁ | G ₂ | B ₃ | R ₄ | G ₅ | B ₆ |

(b)

| | 1 | 2 | 3 | 4 | 5 | 6 |
|---|----------------|----------------|----------------|----------------|----------------|----------------|
| 1 | R ₁ | G ₂ | B ₃ | R ₄ | G ₅ | B ₆ |
| 2 | R ₁ | G ₂ | B ₃ | R ₄ | G ₅ | B ₆ |

(c)

| | 1 | 2 | 3 | 4 | 5 | 6 |
|---|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| 1 | R ₁₁ | R ₂₂ | R ₃₃ | R ₄₄ | R ₅₅ | R ₆₆ |
| | G ₁₁ | G ₂₂ | G ₃₃ | G ₄₄ | G ₅₅ | G ₆₆ |
| | B ₁₁ | B ₂₂ | B ₃₃ | B ₄₄ | B ₅₅ | B ₆₆ |
| | R ₁₁ | R ₂₂ | R ₃₃ | R ₄₄ | R ₅₅ | R ₆₆ |
| 2 | G ₁₁ | G ₂₂ | G ₃₃ | G ₄₄ | G ₅₅ | G ₆₆ |
| | B ₁₁ | B ₂₂ | B ₃₃ | B ₄₄ | B ₅₅ | B ₆₆ |

【図7】

(a)

| | 1 | 2 | 3 | 4 | 5 | 6 |
|---|---|---|---|---|---|---|
| 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 2 | 1 | 1 | 1 | 1 | 1 | 1 |
| 3 | 1 | 1 | 1 | 1 | 1 | 1 |
| 4 | 1 | 1 | 1 | 1 | 1 | 1 |

(b)

| | 1 | 2 | 3 | 4 | 5 | 6 |
|---|---|---|---|---|---|---|
| 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 2 | 1 | 1 | 1 | 1 | 1 | 1 |

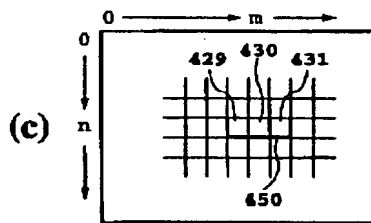
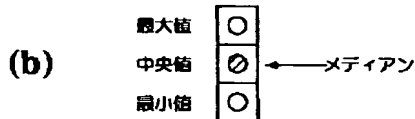
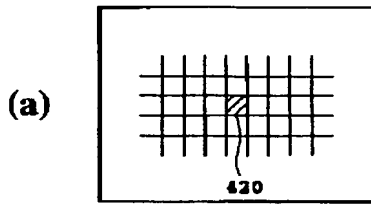
(c)

| | 1 | 2 | 3 | 4 | 5 | 6 |
|---|---|-----|-----|-----|-----|-----|
| 1 | 1 | 2/3 | 1/3 | 0 | 1/3 | 2/3 |
| | 1 | 1 | 2/3 | 1/3 | 0 | 1/3 |
| | 1 | 1 | 1 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 1 |
| 2 | 1 | 1 | 1 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 1 |

(d)

| | 1 | 2 | 3 | 4 | 5 | 6 |
|---|---|-----|-----|-----|-----|-----|
| 1 | 1 | 2/3 | 1/3 | 1/3 | 1/3 | 2/3 |
| | 1 | 1 | 2/3 | 1/3 | 1/3 | 1/3 |
| | 1 | 1 | 1 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 1 |
| 2 | 1 | 1 | 1 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 1 |

【図 3】



画素データ429: 画素位置 $(m-1, n)$
 画素データ430: 画素位置 (m, n)
 画素データ431: 画素位置 $(m+1, n)$

【図 4】

(a)

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|---|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| 1 | R ₁₁ | G ₁₂ | B ₁₃ | G ₁₄ | R ₁₅ | G ₁₆ | B ₁₇ | G ₁₈ |
| 2 | B ₂₁ | G ₂₂ | R ₂₃ | G ₂₄ | B ₂₅ | G ₂₆ | R ₂₇ | G ₂₈ |
| 3 | R ₃₁ | G ₃₂ | B ₃₃ | G ₃₄ | R ₃₅ | G ₃₆ | B ₃₇ | G ₃₈ |
| 4 | B ₄₁ | G ₄₂ | R ₄₃ | G ₄₄ | B ₄₅ | G ₄₆ | R ₄₇ | G ₄₈ |

(b)

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|---|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| 1 | R ₁₁ | G ₁₂ | B ₁₃ | G ₁₄ | R ₁₅ | G ₁₆ | B ₁₇ | G ₁₈ |
| 2 | R ₁₁ | G ₁₂ | B ₁₃ | G ₁₄ | R ₁₅ | G ₁₆ | B ₁₇ | G ₁₈ |

(c)

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|---|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|
| 1 | R ₁₁₁ | R ₁₂₂ | R ₁₃₃ | R ₁₄₄ | R ₁₅₅ | R ₁₆₆ | R ₁₇₇ | R ₁₈₈ |
| | G ₁₁₁ | G ₁₂₂ | G ₁₃₃ | G ₁₄₄ | G ₁₅₅ | G ₁₆₆ | G ₁₇₇ | G ₁₈₈ |
| | B ₁₁₁ | B ₁₂₂ | B ₁₃₃ | B ₁₄₄ | B ₁₅₅ | B ₁₆₆ | B ₁₇₇ | B ₁₈₈ |
| 2 | R ₂₁₁ | R ₂₂₂ | R ₂₃₃ | R ₂₄₄ | R ₂₅₅ | R ₂₆₆ | R ₂₇₇ | R ₂₈₈ |
| | G ₂₁₁ | G ₂₂₂ | G ₂₃₃ | G ₂₄₄ | G ₂₅₅ | G ₂₆₆ | G ₂₇₇ | G ₂₈₈ |
| | B ₂₁₁ | B ₂₂₂ | B ₂₃₃ | B ₂₄₄ | B ₂₅₅ | B ₂₆₆ | B ₂₇₇ | B ₂₈₈ |

【図 5】

(a)

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|---|---|---|---|---|---|---|---|---|
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 2 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 3 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 4 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

(b)

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|---|---|---|---|---|---|---|---|---|
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 2 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

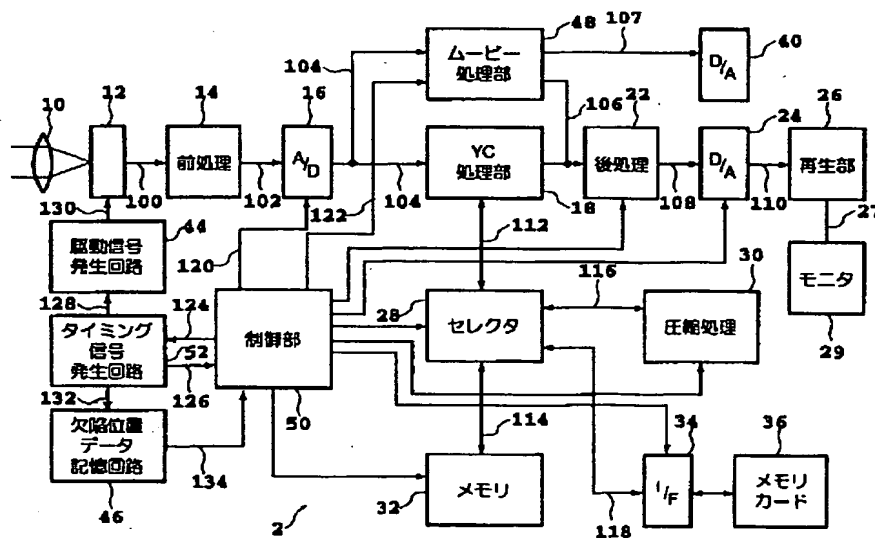
(c)

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|---|---|-----|-----|-----|-----|-----|-----|-----|
| 1 | 1 | 3/4 | 1/2 | 1/4 | 0 | 1/4 | 1/2 | 3/4 |
| | 1 | 1 | 1/2 | 0 | 1/2 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 2 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

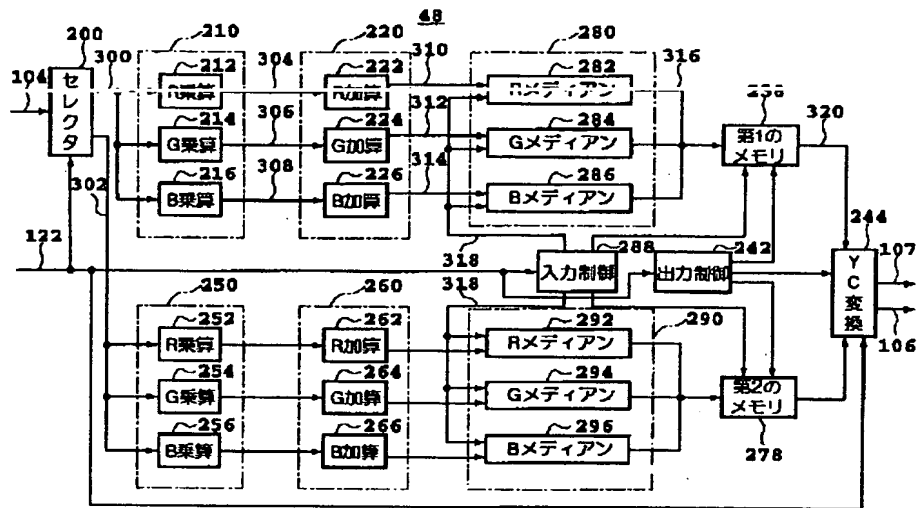
(d)

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
|---|---|-----|-----|-----|-----|-----|-----|-----|
| 1 | 1 | 3/4 | 1/2 | 1/4 | 1/4 | 1/4 | 1/2 | 3/4 |
| | 1 | 1 | 1/2 | 1/2 | 1/2 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 2 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

【図 8】



【図 9】



THIS PAGE BLANK (USPTO)